



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 日
Date of Application:

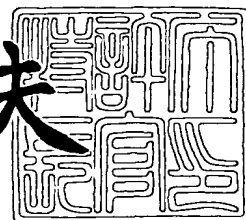
出 願 番 号 特 願 2 0 0 3 - 0 9 8 1 4 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 8 1 4 5]

出 願 人 松 下 電 器 産 業 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 2 月 2 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 1 3 9 2 9



【書類名】 特許願

【整理番号】 2022050011

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/28

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 石井 卓也

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 齊藤 浩

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 長岡 一彦

【特許出願人】

 【識別番号】 000005821

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100062926

 【弁理士】

 【氏名又は名称】 東島 隆治

【選任した代理人】

 【識別番号】 100113479

 【弁理士】

 【氏名又は名称】 大平 覺

【手数料の表示】

【予納台帳番号】 031691

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217288

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 多出力DC-DCコンバータ

【特許請求の範囲】

【請求項1】 入力直流電圧が入力され、第1から第nの出力直流電圧を出力する第1から第nの出力回路と、スイッチ回路と、インダクタと、制御回路とを有する多出力DC-DCコンバータであって、

前記スイッチ回路は、前記インダクタに前記入力直流電圧を印加して磁気エネルギーを蓄えるオン状態と、前記磁気エネルギーを前記第1から第nの出力回路のいずれかへ放出する第1から第nのオフ状態とを有し、

前記制御回路は、前記スイッチ回路のスイッチング周期を第1から第nの出力の制御に振り分け、前記第1から第nの出力直流電圧を検出し、前記スイッチ回路の1スイッチング周期が第k ($1 \leq k \leq n$) の出力の制御を担う場合には、前記第kの出力直流電圧を所定値となるように前記オン状態の期間を調整した後に第kのオフ状態を選択し、前記インダクタに蓄えられた前記磁気エネルギーが前記第kの出力回路への放出が終了するまで前記第kのオフ状態を維持するよう構成されたことを特徴とする多出力DC-DCコンバータ。

【請求項2】 前記制御回路は、前記第kのオフ状態において、前記インダクタに蓄えられた前記磁気エネルギーが前記第kの出力回路への放出が終了すると、前記第kのオフ状態から前記オン状態に移行するよう構成されたことを特徴とする請求項1記載の多出力DC-DCコンバータ。

【請求項3】 前記スイッチ回路のスイッチング周期、もしくは前記第1から第nのオフ状態の期間が所定値より小さくならないよう構成されたことを特徴とする請求項2記載の多出力DC-DCコンバータ。

【請求項4】 入力直流電圧が入力され、第1から第nの出力直流電圧を出力する第1から第nの出力回路と、スイッチ回路と、インダクタと、制御回路とを有する多出力DC-DCコンバータであって、

前記スイッチ回路は、前記インダクタに前記入力直流電圧を印加して磁気エネルギーを蓄えるオン状態と、前記磁気エネルギーを前記第1から第nの出力回路のいずれかへ放出する第1から第nのオフ状態とを有し、

前記制御回路は、前記スイッチ回路のスイッチング周期を第1から第nの出力の制御に振り分け、前記第1から第nの出力直流電圧を検出し、前記スイッチ回路の1スイッチング周期が第k ($1 \leq k \leq n$) の出力の制御を担う場合には、前記第kの出力直流電圧を所定値となるように前記オン状態の期間を調整した後に第kのオフ状態を選択するとともに、前記第kの出力直流電圧に上限値を設け、前記第kの出力直流電圧が前記上限値を越えたとき、前記kの出力以外の出力の制御を担うスイッチング周期のオフ状態になるよう構成されたことを特徴とする多出力DC-DCコンバータ。

【請求項5】 前記nは2であって ($n=2$)、前記第kの出力直流電圧が前記上限値を越えたとき、ひとつ前のスイッチング周期のオフ状態に戻すよう構成されたことを特徴とする請求項4記載の多出力DC-DCコンバータ。

【請求項6】 前記第1から第nの出力直流電圧の全てが各々に設定された上限値を越えたとき、動作を停止するよう構成されたことを特徴とする請求項4記載の多出力DC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は各種電子機器に用いられ、バッテリー等の直流電圧が入力されて制御された直流電圧を複数の負荷に供給する多出力DC-DCコンバータに関する。

【0002】

【従来の技術】

従来、多出力DC-DCコンバータとしては、図8に示すような回路構成の装置が用いられていた。図8に示した従来の多出力DC-DCコンバータには入力直流電源1の入力直流電圧 E_i が入力されており、NチャネルMOSFETからなる主スイッチ3、インダクタ2、ダイオード4及び第1の出力コンデンサ5が設けられて昇圧コンバータを構成しており、第1の出力コンデンサ5から第1の負荷6へ第1の出力電圧 V_{o1} が出力される。制御回路7は第1の出力電圧 V_{o1} を制御するように、主スイッチ3のオンオフ期間比を調整している。第1の出力電圧 V_{o1} は、シリーズレギュレータ8により降圧されて、第2の出力コンデ

ンサ 9 から第 2 の負荷 10 へ第 2 の出力電圧 V_{o2} として出力される。

【0003】

以下、図 8 に示した昇圧コンバータの動作を簡単に説明する。

まず、主スイッチ 3 がオン状態の時、入力直流電圧 E_i はインダクタ 2 に印加される。この時、インダクタ 2 に電流が流れ、磁気エネルギーが蓄えられる。次に、主スイッチ 3 がオフ状態になると、インダクタ 2 に蓄えられた磁気エネルギーは、ダイオード 4 を介して第 1 の出力コンデンサ 5 を充電する電流として放出される。主スイッチ 3 が一定の周期でオンオフ動作しているものとする、1 周期ごとにインダクタ 2 を介して出力されるエネルギーは、主スイッチ 3 のオン期間が長いほど大きくなり、第 1 の出力電圧 V_{o1} は主スイッチ 3 のオン期間が長いほど高くなる。即ち、第 1 の出力電圧 V_{o1} は、制御回路 7 が主スイッチ 3 のオンオフ期間比を調整することにより制御される。一方、第 2 の出力電圧 V_{o2} は、第 1 の出力電圧 V_{o1} からシリーズレギュレータ 8 を介して出力される。

【0004】

上記のような構成された従来の多出力 DC-DC コンバータでは、シリーズレギュレータ 8 による損失が発生しており、変換効率を悪化させていた。また、多出力の目的で上記の昇圧コンバータのようなスイッチングコンバータを複数構成することは部品点数の増大となり、装置の大型化及び高価格化に繋がっていた。

【0005】

図 9 は複数の出力を少ない部品点数で制御することを目的として構成された 3 出力の昇圧コンバータを示す回路図である（例えば、特許文献 1 参照）。なお、図 9 において、各構成部品に付与されている符号は特許文献 1 に開示されている図面と同一のものをを用いた。インダクタ L は、スイッチ S_1 が接点 A に接する期間に入力 V_{11} から磁気エネルギーが蓄積され、スイッチ S_1 が接点 B に接する期間に出力へ磁気エネルギーを放出する。その時、スイッチ S_2 によって磁気エネルギーが各出力に分配される。特許文献 1 では、スイッチ S_2 が各接点に接する期間を制御して各出力電圧を安定化させるとともに、スイッチ S_1 を全負荷に過不足なく給電するように制御する方法が示されている。

【0006】

特許文献 1 と同様の技術的思想に基づく構成で、異なる制御方法を用いた発明も提案されている（例えば、特許文献 2 参照）。特許文献 2 は出力数 N の絶縁型フライバックコンバータが開示されており、トランスの 1 つの出力巻線に図 9 に示した昇圧コンバータのスイッチ S_2 に相当するスイッチングトランジスタを介して N 個の整流平滑回路が接続されている。特許文献 2 においては、スイッチ 1 に相当する主スイッチングトランジスタのスイッチング周波数が N 分割されて、各出力の制御に割当てられている。即ち、特許文献 2 におけるスイッチ S_2 に相当するスイッチングトランジスタは N 分の 1 のスイッチング周波数で切り替わり、各スイッチング周期ごとにスイッチ S_1 に相当する主スイッチングトランジスタのオン期間が調整されて各出力電圧が制御されている。

【0007】

特許文献 2 に開示された従来の制御方法を図 8 に示した従来の多出力コンバータに適用すれば、複数の昇圧コンバータがインダクタを共用した構成となる。このように構成した簡単な適用例として、2 出力の昇圧コンバータの回路図を図 10 に示し、その要部動作波形図を図 11 に示して、その適用例について詳細に説明する。

図 10 に示した 2 出力の昇圧コンバータは、入力直流電源 1 から入力直流電圧 E_i が入力されており、インダクタ 2、主スイッチ 14、補助スイッチ 15、ダイオード 11、第 1 の出力コンデンサ 5、補助スイッチ 15 と直列回路を形成するダイオード 12、第 2 の出力コンデンサ 9、及び制御回路 16 が設けられている。主スイッチ 14 と補助スイッチ 15 は、例えば N チャンネル MOSFET により構成されている。制御回路 16 は主スイッチ 14 と補助スイッチ 15 とをそれぞれ所定のオン期間とオフ期間で駆動制御する。

【0008】

上記のように構成された図 10 の 2 出力の昇圧コンバータにおいては、第 1 の出力電圧 V_{o1} を第 1 の出力コンデンサ 5 から第 1 の負荷 6 へ出力し、第 2 の出力電圧 V_{o2} を第 2 の出力コンデンサ 9 から第 2 の負荷 10 へ出力する。入出力条件は $V_{o1} > V_{o2} > E_i$ である。補助スイッチ 15 がオフ状態の場合は、インダクタ 2 と主スイッチ 14 とダイオード 11 と第 1 の出力コンデンサ 5 が、昇

圧コンバータを構成する。一方、補助スイッチ 15 がオン状態の場合は、インダクタ 2 と主スイッチ 14 とダイオード 12 と第 2 の出力コンデンサ 9 が昇圧コンバータを構成する。

【0009】

制御回路 16 において、出力検出回路 17 は、第 1 の出力電圧 V_{o1} と第 2 の出力電圧 V_{o2} とを検出し、検出された出力電圧 V_{o1} 、 V_{o2} とそれぞれの所望値との誤差を増幅した誤差電圧 V_{e1} 及び誤差電圧 V_{e2} を出力する。発振回路 18 は所定の周期 T を有する鋸波電圧 V_t とクロック信号 V_{t1} を出力する。PWM 回路 19 は、誤差電圧 V_{e1} と鋸波電圧 V_t との比較結果である信号 V_1 と、誤差電圧 V_{e2} と鋸波電圧 V_t との比較結果である信号 V_2 とを出力する。分周回路 20 は、信号 V_{t1} が入力され、分周信号 V_{t2} を出力する。駆動回路 21 は、信号 V_1 と信号 V_2 と分周信号 V_{t2} が入力され、主スイッチ 14 の駆動信号 V_{g14} と、補助スイッチ 15 の駆動信号 V_{g15} を出力する。駆動信号 V_{g15} は分周信号 V_{t2} である。また、駆動回路 21 からの駆動信号 V_{g14} は、分周信号 V_{t2} がローレベルのときには信号 V_1 が選択され、分周信号 V_{t2} がハイレベルのときには信号 V_2 が選択されて出力される。

【0010】

図 11 は図 10 に示した 2 出力の昇圧コンバータにおける各信号及びインダクタ 2 を流れる電流 I_L を示す波形図である。

以下、図 10 と図 11 を用いて、従来の多出力 DC-DC コンバータの通常時の動作を説明する。

【0011】

まず、図 11 の時刻 t_0 において、クロック信号 V_{t1} によって分周信号 V_{t2} がローレベルになり、鋸波信号 V_t が上昇を開始するものとする。この時、分周信号 V_{t2} 、即ち駆動信号 V_{g15} のローレベルにより、補助スイッチ 15 はオフ状態となる。一方、鋸波信号 V_t と誤差電圧 V_{e1} との比較結果である信号 V_1 はハイレベルとなり、これが駆動信号 V_{g14} として出力される。即ち、主スイッチ 14 はオン状態となり、インダクタ 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0012】

時刻 t_1 において、信号 V_1 がローレベルとなると、駆動信号 V_{g14} はローレベルとなり、主スイッチ 14 はオフ状態となる。この時、インダクタ 2 に蓄えられた磁気エネルギーは、補助スイッチ 15 がオフ状態であるので、ダイオード 11 を介してコンデンサ 5 を充電する電流として放出される。この電流は減少していき、やがてゼロとなる。

【0013】

時刻 t_2 において、クロック信号 V_{t1} によって分周信号 V_{t2} が ハイレベルになり、鋸波信号 V_t は急減後再び上昇を開始する。この時、駆動信号 V_{g15} もハイレベルとなり、補助スイッチ 15 はオン状態となる。一方、鋸波信号 V_t と誤差電圧 V_{e2} との比較結果である信号 V_2 はハイレベルとなり、これが駆動信号 V_{g14} として出力される。即ち、主スイッチ 14 はオン状態となる。この時、インダクタ 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0014】

時刻 t_3 において、信号 V_2 がローレベルとなると、駆動信号 V_{g14} はローレベルとなり、主スイッチ 14 はオフ状態となる。この時、インダクタ 2 に蓄えられた磁気エネルギーは、補助スイッチ 15 がオン状態であるので、ダイオード 12 を介してコンデンサ 9 を充電する電流として放出される。この電流は減少していき、やがてゼロとなる。

時刻 t_4 において、駆動信号 V_{g15} はローレベルとなり、時刻 t_0 以降の動作を繰返す。

【0015】

インダクタ 2 のインダクタンスを L 、補助スイッチ 15 がオフ状態における主スイッチ 14 のオン期間を T_{on1} 、補助スイッチ 15 がオン状態における主スイッチ 14 のオン期間を T_{on2} 、第 1 の負荷 6 への出力電流を I_{o1} 、第 2 の負荷 10 への出力電流を I_{o2} とすると、下記式 (1) 及び式 (2) が成り立つ。

【0016】

【数 1】

$$V_{o1} = E_i + \frac{(E_i \cdot T_{on1})^2}{4L \cdot T \cdot I_{o1}} \quad \text{--- (1)}$$

【0017】

【数 2】

$$V_{o2} = E_i + \frac{(E_i \cdot T_{on2})^2}{4L \cdot T \cdot I_{o2}} \quad \text{--- (2)}$$

【0018】

上記のように構成された従来の 2 出力の昇圧コンバータにおいては、誤差電圧 V_{e1} 及び V_{e2} がそれぞれ第 1 及び第 2 の出力電圧 V_{o1} 及び V_{o2} を所望の電圧に安定化するように増減して、主スイッチ 31 のオン期間が調整される。即ち、主スイッチ 14 とインダクタ 2 を共有する 2 つの昇圧コンバータが、発振回路 18 の発振周波数の $1/2$ で時分割制御されることによって、第 1 及び第 2 の出力電圧 V_{o1} 及び V_{o2} をそれぞれ所望の電圧に安定化する。

【0019】

【特許文献 1】

特公平 7-40785 号公報（第 4-6 頁、第 1 図）

【特許文献 2】

米国特許 5,400,239 号明細書（第 5-7 頁、第 3 図）

【0020】

【発明が解決しようとする課題】

前述のように、図 8 に示した従来の多出力 DC-DC コンバータにおいては、シリーズレギュレータによる損失が発生して、変換効率が悪化するという問題があった。また、図 8 に示した従来の多出力 DC-DC コンバータは、多出力の目的で昇圧コンバータのようなスイッチングコンバータを複数構成することが部品点数の増大となり、装置の大型化及び高価格化に繋がっていた。

【0021】

一方、図9に示した従来の多出力DC-DCコンバータのような構成とすることにより、インダクタを共用して部品点数の増加を抑え、高効率に複数の出力を制御することが可能となる。図9に示した従来の多出力DC-DCコンバータのような構成においては、特許文献1で開示された制御方法の場合、スイッチS1が接点Aに接する期間にインダクタLに蓄積された磁気エネルギーを、スイッチS1が接点Bに接する期間にスイッチS2を切り換えることにより、各出力に分配する。しかしながら、例えば、図9に示したような3出力の場合、上記のような制御方法では、スイッチS1の1スイッチング周期において、スイッチS1が接点Aに接する期間、スイッチS1が接点Bに接しスイッチS2が第1の出力に磁気エネルギーを分配する期間、スイッチS1が接点Bに接しスイッチS2が第2の出力に磁気エネルギーを分配する期間、及びスイッチS1が接点Bに接しスイッチS2が第3の出力に磁気エネルギーを分配する期間の4つの期間を制御しなくてはならなかった。スイッチングコンバータはスイッチング周波数を高周波化することにより小型化が可能となるが、前記のような4つの期間を制御する方法ではスイッチング周波数の高周波化は困難であった。また、スイッチS2が各接点に切り換える際のスイッチング損失やスイッチングノイズの発生も問題となっていた。

【0022】

特許文献2で開示されたコンバータのように、具体的には、2出力の昇圧コンバータを例として図10及び図11を用いて説明したように、スイッチング周波数を分割して各出力の制御に割当てて制御方法を適用すれば、上記の高周波化が困難であるという問題は解決可能である。しかしながら、図10に示したように構成された従来のコンバータにおいては、インダクタ2を流れる電流が主スイッチ14のオフ期間にゼロにならない場合があった。コンバータにおいては、以下の理由によりインダクタ2を流れる電流が主スイッチ14のオフ期間の間にゼロになることが望ましい。

【0023】

例えば、図10に示した多出力DC-DCコンバータにおいて、第1の出力電流 I_{o1} が大きく、ダイオード11に流れる電流が、主スイッチ14のオフ期間

内にゼロにならない場合、インダクタ 2 に流れる電流 I_L の波形を図 12 に示す。この時、各出力電圧 V_{o1} 、 V_{o2} は下記の式 (3) 及び式 (4) で表される。

【0024】

【数 3】

$$V_{o1} = \frac{T + T_{on1}}{T - T_{on1}} \cdot E_i - \frac{4L \cdot T \cdot I_{o1}}{(T - T_{on1})^2} \quad \text{--- (3)}$$

【0025】

【数 4】

$$V_{o2} = E_i + \frac{\{(T + T_{on2}) \cdot E_i - (T - T_{on1}) \cdot V_{o1}\}^2}{4L \cdot T \cdot I_{o2}} \quad \text{--- (4)}$$

【0026】

第 1 の出力電圧 V_{o1} は出力電流 I_{o1} の変化に対し、オン期間 T_{on1} を調整することにより制御できる。しかし、ダイオード 11 に流れる電流が、主スイッチ 14 のオフ期間内にゼロにならないため、 $V_{o1} < E_i \cdot T / (T - T_{on1})$ という制約がある。このため、第 2 の出力電圧 V_{o2} は、 $T_{on2} = 0$ であっても、式 (4) の第 2 項の分子はゼロより大きい値となる。このため、出力電流 I_{o2} が小さい場合には、第 2 の出力電圧 V_{o2} が上昇して制御不能となってしまう。出力が十分に立ち上がっていない起動時や、いずれかの出力が過負荷になってその出力電圧が低下する場合、インダクタ 2 を流れる電流は、主スイッチ 14 のオフ期間内にゼロにならないといった図 12 に示した現象が生じるという問題があった。

【0027】

本発明は、スイッチング周波数を分割して複数の出力を制御することにより、高効率なスイッチングコンバータをインダクタを共有した少ない部品点数で構成するとともに、起動時や過負荷時のような場合に、インダクタに残った磁気エネルギーによって出力電圧が上昇して制御不能となることを防止して、信頼性の高

い多出力DC-DCコンバータの提供を目的とする。

【0028】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る多出力DC-DCコンバータは、
入力直流電圧が入力され、第1から第nの出力直流電圧を出力する第1から第nの出力回路と、スイッチ回路と、インダクタと、制御回路とを有する多出力DC-DCコンバータであって、

前記スイッチ回路は、前記インダクタに前記入力直流電圧を印加して磁気エネルギーを蓄えるオン状態と、前記磁気エネルギーを前記第1から第nの出力回路のいずれかへ放出する第1から第nのオフ状態とを有し、

前記制御回路は、前記スイッチ回路のスイッチング周期を第1から第nの出力の制御に振り分け、前記第1から第nの出力直流電圧を検出し、前記スイッチ回路の1スイッチング周期が第k ($1 \leq k \leq n$) の出力の制御を担う場合には、前記第kの出力直流電圧を所定値となるように前記オン状態の期間を調整した後に第kのオフ状態を選択し、前記インダクタに蓄えられた前記磁気エネルギーが前記第kの出力回路への放出が終了するまで前記第kのオフ状態を維持するよう構成されている。このように構成された本発明の多出力DC-DCコンバータは、スイッチング周波数を分割して複数の出力を制御することにより、高効率なスイッチングコンバータをインダクタを共有した少ない部品点数で構成することが可能となり、起動時や過負荷時のような場合に、インダクタに残った磁気エネルギーによって出力電圧が上昇して制御不能となることを防止している。また、本発明の多出力DC-DCコンバータは、インダクタに流れる電流が1スイッチング周期内でゼロになった後、次の周期に移行するよう構成されているため、1スイッチング周期内で電流がゼロに至らないことに起因する過電圧状態を回避することができる。

【0029】

また、本発明の多出力DC-DCコンバータにおいて、前記制御回路は、前記第kのオフ状態において、前記インダクタに蓄えられた前記磁気エネルギーが前記第kの出力回路への放出が終了すると、前記第kのオフ状態から前記オン状態

に移行するよう構成してもよい。

さらに、本発明の多出力DC-DCコンバータにおいて、前記スイッチ回路のスイッチング周期、もしくは前記第1から第nのオフ状態の期間を最小に設定するよう構成してもよい。

【0030】

他の観点により本発明の多出力DC-DCコンバータは、入力直流電圧が入力され、第1から第nの出力直流電圧を出力する第1から第nの出力回路と、スイッチ回路と、インダクタと、制御回路とを有する多出力DC-DCコンバータであって、

前記スイッチ回路は、前記インダクタに前記入力直流電圧を印加して磁気エネルギーを蓄えるオン状態と、前記磁気エネルギーを前記第1から第nの出力回路のいずれかへ放出する第1から第nのオフ状態とを有し、

前記制御回路は、前記スイッチ回路のスイッチング周期を第1から第nの出力の制御に振り分け、前記第1から第nの出力直流電圧を検出し、前記スイッチ回路の1スイッチング周期が第k ($1 \leq k \leq n$) の出力の制御を担う場合には、前記第kの出力直流電圧を所定値となるように前記オン状態の期間を調整した後に第kのオフ状態を選択するとともに、前記第kの出力直流電圧に上限値を設け、前記第kの出力直流電圧が前記上限値を越えたとき、前記kの出力以外の出力の制御を担うスイッチング周期のオフ状態になるよう構成されている。このように構成された本発明の多出力DC-DCコンバータは、スイッチング周波数を分割して複数の出力を制御することにより、高効率なスイッチングコンバータをインダクタを共有した少ない部品点数で構成することが可能となり、起動時や過負荷時のような場合に、インダクタに残った磁気エネルギーによって出力電圧が上昇して制御不能となることを防止している。また、本発明の多出力DC-DCコンバータにおいては、スイッチング周期を固定することにより、過電圧状態を検出して他の出力へ電流を放出するよう構成されているため、過電圧状態を回避することができる。

【0031】

また、本発明の多出力DC-DCコンバータにおいて、前記nは2であって（

$n = 2$)、前記第 k の出力直流電圧が前記上限値を越えたとき、ひとつ前のスイッチング周期のオフ状態に戻すよう構成してもよい。

さらに、本発明の多出力 DC-DC コンバータにおいて、前記第 1 から n の出力直流電圧の全てが各々に設定された上限値を越えたとき、動作を停止するよう構成してもよい。

【0032】

【発明の実施の形態】

以下、本発明の多出力 DC-DC コンバータに係る好適な実施の形態について添付の図面を参照しつつ説明する。

【0033】

《実施の形態 1》

図 1 は本発明に係る実施の形態 1 の多出力 DC-DC コンバータの構成を示す回路図である。図 1 に示すように、本発明に係る実施の形態 1 の多出力 DC-DC コンバータには、入力直流電源 1 から入力直流電圧 E_i が入力されており、インダクタ 2、スイッチ回路 30、ダイオード 41、ダイオード 42、第 1 の出力コンデンサ 51、第 2 の出力コンデンサ 52、及び制御回路 80 が設けられている。

スイッチ回路 30 は主スイッチ 31 と補助スイッチ 32 とで構成され、それぞれが、例えば N チャネル MOSFET により構成される。ダイオード 42 は、補助スイッチ 32 と直列回路を形成する。制御回路 80 は、主スイッチ 31 と補助スイッチ 32 をそれぞれ所定のオン期間とオフ期間で駆動制御する。

【0034】

実施の形態 1 の多出力 DC-DC コンバータにおいては、第 1 の出力電圧 V_{o1} を第 1 の出力コンデンサ 51 から第 1 の負荷 6 へ出力し、第 2 の出力電圧 V_{o2} を第 2 の出力コンデンサ 52 から第 2 の負荷 10 へ出力する。入出力条件は $V_{o1} > V_{o2} > E_i$ である。

主スイッチ 31 と補助スイッチ 32 とで構成されたスイッチ回路 30 のオン状態とは、主スイッチ 31 がオン状態で、インダクタ 2 に入力直流電圧 E_i が印加されている状態である。この時、補助スイッチ 32 のオンオフ状態は考慮しない

。スイッチ回路 30 の第 1 のオフ状態とは、主スイッチ 31 がオフ状態で、補助スイッチ 32 がオフ状態である。このように補助スイッチ 32 がオフ状態の場合は、インダクタ 2 と主スイッチ 31 とダイオード 41 とコンデンサ 51 が、昇圧コンバータを構成する。スイッチ回路 30 の第 2 のオフ状態とは、主スイッチ 31 がオフ状態で、補助スイッチ 32 がオン状態である。このように補助スイッチ 32 がオン状態の場合は、インダクタ 2 と主スイッチ 31 とダイオード 42 とコンデンサ 52 が昇圧コンバータを構成する。

【0035】

図 1 に示すように、実施の形態 1 の制御回路 80 は、出力検出回路 81、発振回路 82、パルス幅変調回路（以後、PWM 回路と記述する）83、分周回路 84、及び駆動回路 85 により構成されている。

制御回路 80 において、出力検出回路 81 は、第 1 の出力電圧 V_o1 を検出する抵抗 811 と抵抗 812 と、第 2 の出力電圧 V_o2 を検出する抵抗 813 と抵抗 814 と、基準電圧源 815 と、第 1 の出力電圧 V_o1 の検出電圧と基準電圧源 815 の電圧との誤差を増幅するエラーアンプ 816 と、第 2 の出力電圧 V_o2 の検出電圧と基準電圧源 815 の電圧との誤差を増幅するエラーアンプ 817 から構成されている。出力検出回路 81 は、エラーアンプ 816 から誤差電圧 V_{e1} を、エラーアンプ 817 から誤差電圧 V_{e2} を出力する。

【0036】

制御回路 80 において、発振回路 82 は、発振電圧 V_t を出力する発振コンデンサ 820 と、発振コンデンサ 820 を充電する定電流源 821 と、電圧 $E1$ を出力する電圧源 822 と、発振コンデンサ 820 と電圧源 822 との間に接続されたトランジスタ 823 と、電圧 $E2$ を出力する電圧源 824 と、発振電圧 V_t と電圧 $E2$ を比較するコンパレータ 825 と、インダクタ 2 の両端電圧 V_L が入力されるコンパレータ 826 と、コンパレータ 825 の出力とコンパレータ 826 の出力とが入力される AND ゲート 827 と、AND ゲート 827 の出力とこの出力が入力されたインバータ 828 の出力が入力される AND ゲート 829 とから構成される。AND ゲート 829 は、AND ゲート 827 の出力がハイレベルになると、ワンショットパルスであるクロック信号 V_{t1} を出力する。クロッ

ク信号 V_{t1} はトランジスタ 823 を短時間だけオン状態にし、発振コンデンサ 820 を電圧 E_1 まで短絡放電する。トランジスタ 823 がオフ状態になると、発振コンデンサ 820 は定電流源 821 によって定電流充電される。クロック信号 V_{t1} が発生するのは、発振コンデンサ 820 が電圧 E_2 以上に充電され、且つインダクタ 2 の電圧 V_L がゼロ以下になった場合である。尚、コンパレータ 825 はヒステリシス特性を有し、発振電圧 V_t が電圧 E_2 以上になってハイレベルを出力した後は、発振電圧 V_t が電圧 E_2 より低い電圧にならないとローレベルにならないものとする。即ち、発振電圧 V_t は、クロック信号 V_{t1} が発生すると電圧 E_1 に急減したのち、直線的に上昇していく鋸波状の波形となる。

【0037】

制御回路 80 において、PWM 回路 83 は、誤差電圧 V_{e1} と発振電圧 V_t とを比較して信号 V_1 を出力するコンパレータ 831 と、誤差電圧 V_{e2} と発振電圧 V_t とを比較して信号 V_2 を出力するコンパレータ 832 とから構成される。信号 V_1 は発振電圧 V_t が誤差電圧 V_{e1} 以下の場合にハイレベルとなり、信号 V_2 は発振電圧 V_t が誤差電圧 V_{e2} 以下の場合にハイレベルとなる。

制御回路 80 において、分周回路 84 は、クロック信号 V_{t1} が入力され、分周信号 V_{t2} を出力する。駆動回路 85 は、信号 V_1 と分周信号 V_{t2} の反転信号が入力される AND ゲート 851 と、信号 V_2 と分周信号 V_{t2} が入力される AND ゲート 852 と、AND ゲート 851 の出力と AND ゲート 852 の出力が入力される OR ゲート 853 から構成される。OR ゲート 853 は主スイッチ 31 の駆動信号 V_{g31} を出力する。分周信号 V_{t2} は補助スイッチ 32 の駆動信号 V_{g32} として出力される。したがって、駆動信号 V_{g31} として、分周信号 V_{t2} がローレベルの場合は信号 V_1 が選択され、分周信号 V_{t2} がハイレベルの場合は信号 V_2 が選択されて出力される。

【0038】

図 2 は上記のように構成された実施の形態 1 における各信号、インダクタ 2 を流れる電流 I_L 、及びインダクタ 2 の両端電圧 V_L を示す波形図である。

以下、図 1 と図 2 を用いて、本発明の実施の形態 1 の多出力 DC-DC コンバータの動作について説明する。

まず、図2の時刻 t_0 において、クロック信号 V_{t1} によって分周信号 V_{t2} 、即ち駆動信号 V_{g32} がローレベルになり、補助スイッチ32はオフ状態となるとともに発振電圧 V_t が上昇を開始するものとする。駆動信号 V_{g31} には、発振電圧 V_t と誤差電圧 V_{e1} との比較結果である信号 V_1 が選択される。駆動信号 V_{g31} のハイレベルにより、主スイッチ31はオン状態（スイッチ回路30がオン状態）となり、インダクタ2には入力直流電圧 E_i が印加されて、磁気エネルギーが蓄えられていく。

【0039】

時刻 t_1 において、上昇してきた発振電圧 V_t と誤差信号 V_{e1} が交差すると、信号 V_1 と駆動信号 V_{g31} はローレベルとなり、主スイッチ31はオフ状態となる。この時、インダクタ2に蓄えられた磁気エネルギーは、補助スイッチ32がオフ状態（スイッチ回路30が第1のオフ状態）であるので、ダイオード41を介してコンデンサ51を充電する電流として放出される。この時、ダイオード41の順方向電圧降下を無視すると、インダクタ2の電圧 V_L には第1の出力電圧 V_{o1} と入力直流電圧 E_i との差の電圧 ($V_{o1} - E_i$) が印加される。この後、発振電圧 V_t は上昇を続け、電圧 E_2 を越え、やがて定電流源821が飽和して上昇は止まる。

一方、インダクタ2の電流 I_L は減少していき、やがて時刻 t_2 においてゼロとなる。この時、インダクタ2の電圧 V_L は自由振動を開始して、電圧 ($V_{o1} - E_i$) から低下していく。

【0040】

時刻 t_3 において、インダクタ2の電圧 V_L がゼロ電圧になると、クロック信号 V_{t1} が発生し、分周信号 V_{t2} がハイレベルになり、発振電圧 V_t は電圧 E_1 に急減後再び上昇を開始する。この時、駆動信号 V_{g32} もハイレベルとなり、補助スイッチ32はオン状態となる。一方、発振電圧 V_t と誤差電圧 V_{e2} との比較結果である信号 V_2 はハイレベルとなり、この信号 V_2 が駆動信号 V_{g31} として選択出力される。これにより、主スイッチ31はオン状態（スイッチ回路30がオン状態）となり、インダクタ2には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0041】

時刻 t_4 において、上昇してきた発振電圧 V_t が誤差信号 V_{e2} と交差すると、信号 V_2 と駆動信号 V_{g31} はローレベルとなり、主スイッチ 31 はオフ状態となる。この時、インダクタ 2 に蓄えられた磁気エネルギーは、補助スイッチ 32 がオン状態（スイッチ回路 30 が第 2 のオフ状態）であるので、ダイオード 42 を介してコンデンサ 52 を充電する電流として放出される。この時、ダイオード 42 の順方向電圧降下を無視すると、インダクタ 2 の電圧 V_L には第 2 の出力電圧 V_{o2} と入力直流電圧 E_i との差の電圧 ($V_{o2} - E_i$) が印加される。この後、発振電圧 V_t は上昇を続け、電圧 E_2 を越える。

【0042】

一方、インダクタ 2 の電流 I_L は減少していき、やがて時刻 t_5 においてゼロとなる。この時、インダクタ 2 の電圧 V_L は自由振動を開始して、電圧 ($V_{o2} - E_i$) から低下していく。そして、電圧 V_L は減少していき、やがてゼロとなる。

時刻 t_6 において、インダクタ 2 の電圧 V_L がゼロ電圧になると、クロック信号 V_{t1} が発生し、分周信号 V_{t2} がローレベルになり、発振電圧 V_t は電圧 E_1 に急減後再び上昇を開始する。即ち、時刻 6 以降は時刻 t_0 以降の動作を繰返す。

【0043】

インダクタ 2 のインダクタンスを L 、補助スイッチ 32 がオフ状態における主スイッチ 31 のオン期間を T_{on1} 、補助スイッチ 32 がオフ状態における主スイッチ 31 のオフ期間を T_{off1} 、補助スイッチ 32 がオン状態における主スイッチ 31 のオン期間を T_{on2} 、補助スイッチ 32 がオン状態における主スイッチ 31 のオフ期間を T_{off2} とする。また、第 1 の負荷 6 への出力電流を I_{o1} とし、第 2 の負荷 10 への出力電流を I_{o2} とする。ダイオード 41 及びダイオード 42 の順方向電圧降下を無視し、時刻 $t_2 \sim t_3$ 及び時刻 $t_5 \sim t_6$ の過渡期間を他の期間に比べて短時間であるものとして無視すると、下記の式 (5) 及び式 (6) が成り立つ。

【0044】

【数 5】

$$V_{o1} = E_i + \frac{T_{on1}}{T_{on1} + T_{on2}} \cdot \frac{E_i}{I_{o1}} \cdot \left(\frac{E_i \cdot T_{on1}}{2L} - I_{o1} - \frac{T_{on1}}{T_{on2}} \cdot I_{o2} \right) \quad \text{--- (5)}$$

【0045】

【数 6】

$$V_{o2} = E_i + \frac{T_{on2}}{T_{on1} + T_{on2}} \cdot \frac{E_i}{I_{o2}} \cdot \left(\frac{E_i \cdot T_{on2}}{2L} - I_{o2} - \frac{T_{on2}}{T_{on1}} \cdot I_{o1} \right) \quad \text{--- (6)}$$

【0046】

誤差電圧 V_{e1} 及び V_{e2} は、それぞれ第 1 の出力電圧 V_{o1} 及び第 2 の出力電圧 V_{o2} が所望の電圧に安定化するように増減して、主スイッチ 31 のオン期間が調整される。即ち、実施の形態 1 の多出力 DC-DC コンバータにおいては、主スイッチ 31 とインダクタ 2 を共有する 2 つの昇圧コンバータが時分割制御することによって、第 1 の出力電圧 V_{o1} 及び第 2 の出力電圧 V_{o2} のそれぞれを所望の電圧に安定化させている。

【0047】

実施の形態 1 の多出力 DC-DC コンバータにおいて、クロック信号 V_{t1} が発生する場合は、インダクタ 2 の電圧 V_L がゼロ電圧以下になったときに限定されている。これは、インダクタ 2 に蓄えられた磁気エネルギーが電流として放出されて無くなった後にクロック信号 V_{t1} が発生することを示すものであり、起動時や過負荷時のような場合であってもインダクタ 2 に磁気エネルギーが残ることは無い。したがって、実施の形態 1 の多出力 DC-DC コンバータによれば出力電圧が上昇して制御不能となることが確実に回避されている。

【0048】

尚、実施の形態 1 においては、例えば、第 2 の負荷 10 が軽くなった場合、第 2 の出力電流 I_{o2} が減少し、この第 2 の出力電流 I_{o2} の減少にともない、この出力制御に割当てられたスイッチング周期は短くなる。図 3 はそのような第 2 の負荷 10 が軽負荷である時の動作を示す各部の信号波形図である。図 3 におい

ては、図 2 に示した各部の動作波形に加えて、コンパレータ 825 とコンパレータ 826 のそれぞれの出力波形を示している。

【0049】

以下、第 2 の負荷 10 が軽負荷である時の動作を図 1 及び図 3 を用いて説明する。

時刻 t_0 から時刻 t_3 における各部の動作は前述の図 2 に示した動作と同じであるので省略する。時刻 t_4 において、上昇してきた発振電圧 V_t が誤差信号 V_{e2} と交差すると、主スイッチ 31 はオフ状態となり、インダクタ 2 に蓄えられた磁気エネルギーは、ダイオード 42 を介してコンデンサ 52 を充電する電流として放出される。

一方、インダクタ 2 の電流は減少していき、やがて時刻 t_5 においてゼロとなる。インダクタ 2 の電流がゼロになった時、インダクタ 2 の両端電圧 V_L は自由振動を開始する。この両端電圧 V_L は、電圧 $(V_{o2} - E_i)$ から低下していき、やがてゼロとなり、コンパレータ 826 の出力がハイレベルとなる。しかし、このとき発振電圧 V_t は電圧 E_2 には至っていないので、コンパレータ 825 の出力はローレベルであり、クロック信号 V_{t1} はローレベルのままである。電圧 V_L の自由振動によってコンパレータ 826 の出力はハイレベル・ローレベルを繰り返す。

【0050】

時刻 t_6 において、発振電圧 V_t は電圧 E_2 に至り、コンパレータ 825 の出力はハイレベルとなり、その後のコンパレータ 826 の出力がハイレベルになった時点でクロック信号 V_{t1} がワンショットパルスとして発生する。時刻 t_7 において、分周信号 V_{t2} がローレベルになり、発振電圧 V_t は電圧 E_1 に急減後再び上昇を開始する。即ち、時刻 t_7 以降は時刻 t_0 以降の動作を繰り返す。

【0051】

本発明に係る実施の形態 1 の多出力 DC-DC コンバータでは、例えば第 2 の負荷 10 が軽くなって第 2 の出力電流 I_{o2} が減少するのに従い、この出力制御に割当てられたスイッチング周期は短くなる。しかし、上記において説明したように、実施の形態 1 の多出力 DC-DC コンバータにおいて、発振コンデンサ 8



20が電圧E1から電圧E2までの充電期間は、次のスイッチング周期が開始されるためのクロック信号Vt1は発生しないよう構成されている。即ち、実施の形態1の多出力DC-DCコンバータにおいては、スイッチング周期に最小期間が設定される。

【0052】

《実施の形態2》

以下、本発明に係る実施の形態2の多出力DC-DCコンバータについて図4及び図5を参照して説明する。

図4は本発明に係る実施の形態2の多出力DC-DCコンバータの構成を示す回路図である。実施の形態2において、前述の実施の形態1において説明した入力直流電源1、インダクタ2、主スイッチ31と補助スイッチ32とからなるスイッチ回路30、ダイオード41、第1の出力コンデンサ51、補助スイッチ32、ダイオード42、及び第2の出力コンデンサ52は、実質的に同じ機能、構成を有するため、同じ符号を付与して、その詳細な説明は省略する。実施の形態2の多出力DC-DCコンバータにおいて、実施の形態1の構成と異なる点は、主スイッチ31と補助スイッチ32をそれぞれ所定のオン期間とオフ期間で駆動制御する制御回路90の構成及びその動作である。

【0053】

制御回路90において、出力検出回路81、PWM回路83、及び分周回路84は、図1に示した実施の形態1の多出力DC-DCコンバータにおけるものと同じ機能、構成を有しているので、同じ符号を付与して、その詳細な説明は省略する。制御回路90において実施の形態1の制御回路80と異なるのは、過電圧保護回路91が追加されていることと、発振回路92と駆動回路95の構成である。

【0054】

制御回路90において、過電圧保護回路91は、第1の出力電圧Vo1を検出する2つの抵抗911と912、第2の出力電圧Vo2を検出する2つの抵抗913と914、電圧源915、第1の出力電圧Vo1の検出電圧と電圧源915の電圧とを比較するコンパレータ916、及び第2の出力電圧Vo2の検出電圧

と電圧源 915 の電圧とを比較するコンパレータ 917 を有する。一方のコンパレータ 916 からは信号 V_{x1} を出力し、他方のコンパレータ 917 からは信号 V_{x2} を出力する。さらに、過電圧保護回路 91 は、信号 V_{x1} と信号 V_{x2} が入力される NOR ゲート 918 と、この NOR ゲート 918 の出力が入力されるシャットダウン回路 919 を有している。第 1 の出力電圧 V_{o1} が過電圧状態になると信号 V_{x1} がローレベルとなり、第 2 の出力電圧 V_{o2} が過電圧状態になると信号 V_{x2} がローレベルとなる。また、第 1 の出力電圧 V_{o1} と第 2 の出力電圧 V_{o2} がともに過電圧状態になると、NOR ゲート 918 の出力がハイレベルとなってシャットダウン回路 919 が動作する。シャットダウン回路 919 が動作すると、制御回路 90 は動作を停止し、入力直流電圧 E_i が充分低下しなければ復帰しないよう構成されている。

【0055】

発振回路 92 は、所定の周期 T を持つクロック信号 V_{t1} を発生させる信号源 920 を有し、発振コンデンサ 820 を定電流源 821 で定電流充電しながら、クロック信号 V_{t1} によってオンオフ動作するトランジスタ 823 により放電するよう構成されている。トランジスタ 823 は発振コンデンサ 820 に充電されたものを直流電圧源 822 の電圧 E_1 に短絡放電している。即ち、発振回路 92 は、クロック信号 V_{t1} と、このクロック信号 V_{t1} に同期した鋸波状の発振波形を有する発振電圧 V_t とを出力するよう構成されている。

【0056】

駆動回路 95 において、AND ゲート 851 と AND ゲート 852 と OR ゲート 853 は、実施の形態 1 の多出力 DC-DC コンバータの制御回路 80 の駆動回路 85 と同じ構成である。したがって、駆動信号 V_{g31} として、分周信号 V_{t2} がローレベルの場合は信号 V_1 が選択出力され、分周信号 V_{t2} がハイレベルの場合は信号 V_2 が選択出力される。このように選択出力される点は実施の形態 1 の多出力 DC-DC コンバータの場合と同様である。

実施の形態 2 における駆動回路 95 において、実施の形態 1 と異なるのは、信号 V_{x1} の反転信号と信号 V_{x2} が入力される AND ゲート 951 と、信号 V_{x2} と信号 V_{t2} が入力される AND ゲート 952 と、AND ゲート 951 の出力

とANDゲート952の出力が入力されるORゲート953が追加されている点である。そして、実施の形態2においては、ORゲート953の出力が補助スイッチ32の駆動信号 V_{g32} として出力されている。

【0057】

以下に、本発明の実施の形態2の多出力DC-DCコンバータの動作を説明する。

まず、第1の出力電圧 V_{o1} と第2の出力電圧 V_{o2} がともに過電圧状態でない通常時の動作について説明する。この通常時の動作の場合、信号 V_{x1} 及び信号 V_{x2} はともにハイレベルである。このため駆動回路95において、ANDゲート951の出力はローレベル、ANDゲート952の出力は分周信号 V_{t2} となり、これらの論理和である駆動信号 V_{g32} は分周信号 V_{t2} となる。したがって、クロック信号 V_{t1} が所定の周期 T に設定されている点を除き、制御回路90の動作は前述の実施の形態1の多出力DC-DCコンバータの制御回路80の動作と同様となる。即ち、実施の形態2の多出力DC-DCコンバータの通常時の動作は、スイッチング周期が T に設定されているだけで、それ以外の基本的な動作は前述の実施の形態1の多出力DC-DCコンバータと同様である。

【0058】

次に、例えば第1の負荷6が重くなって、第1の出力電流 I_{o1} が過電流状態の場合の動作について説明する。

この場合、第1の出力電圧 V_{o1} の制御に割当てられたスイッチング周期内において、インダクタ2を流れる電流がゼロにならなくなるという現象が発生する。放出されずに残ったインダクタ2の磁気エネルギーは、次のスイッチング周期の第2のオフ状態において、コンデンサ52を充電する電流として放出される。この放出電流の平均値が第2の負荷10での消費電流より大きいと、第2の出力電圧 V_{o2} は制御不能になって上昇し、第2の出力電圧 V_{o2} が過電圧状態になる。

【0059】

第2の出力電圧 V_{o2} が過電圧状態になるとコンパレータ917が反転し、信号 V_{x2} がローレベルとなる。一方、このときの信号 V_{x1} はハイレベルのまま

である。駆動回路 95 において、ANDゲート 951 及びANDゲート 952 はともにローレベルを出力するので、その論理和である駆動信号 V_{g32} はローレベルを出力する。即ち、分周信号 V_{t2} の状態と無関係に補助スイッチ 32 はオフ状態（スイッチ回路 30 の第 1 のオフ状態）となる。インダクタ 2 を流れる電流は過電流状態にある第 1 の出力電流 I_{o1} が流れる回路へ放出されるようになり、第 2 の出力電圧 V_{o2} の過電圧状態は回避される。

【0060】

次に、第 2 の負荷 10 が重くなって、第 2 の出力電流 I_{o2} が過電流状態の場合の動作について説明する。

この場合、第 2 の出力電圧 V_{o2} の制御に割当てられたスイッチング周期内において、インダクタ 2 を流れる電流がゼロにならなくなるという現象が発生する。放出されずに残ったインダクタ 2 の磁気エネルギーは、次のスイッチング周期の第 1 のオフ状態において、コンデンサ 51 を充電する電流として放出される。この放出電流の平均値が第 1 の負荷 6 での消費電流より大きいと、第 1 の出力電圧 V_{o1} は制御不能になって上昇し、第 1 の出力電圧 V_{o1} が過電圧状態になる。

【0061】

第 1 の出力電圧 V_{o1} が過電圧状態になるとコンパレータ 916 が反転し、信号 V_{x1} がローレベルとなる。一方、このときの信号 V_{x2} はハイレベルのままである。駆動回路 95 において、ANDゲート 951 がハイレベルを出力するので、駆動信号 V_{g32} もハイレベルを出力する。即ち、分周信号 V_{t2} の状態と無関係に補助スイッチ 32 はオン状態（スイッチ回路 30 の第 2 のオフ状態）となる。インダクタ 2 を流れる電流は過電流状態にある第 2 の出力電流 I_{o2} が流れる回路へ放出されるようになり、第 1 の出力電圧 V_{o1} の過電圧状態は回避される。

【0062】

図 5 は、第 1 の出力電圧 V_{o1} が過電圧状態になって、その状態を回避する様子を示した波形図である。第 1 の出力電圧 V_{o1} が信号 V_{x1} をローレベルとする上限値に至る毎に、スイッチ回路 30 が第 1 のオフ状態から第 2 のオフ状態へ

と移行する。このようにスイッチ回路 30 が動作することにより、第 1 の出力電圧 V_o1 が上限値を越えることなく、過電圧状態が回避されている。

【0063】

以上のように、実施の形態 2 の多出力 DC-DC コンバータにおいては、起動時や過負荷時のような場合、1 スイッチング周期内でインダクタ 2 に流れる電流がゼロにならず、出力電圧が上昇して制御不能となっても、その過電圧状態を検出して別の出力へインダクタ 2 に残った磁気エネルギーを放出するよう構成されている。このように構成された実施の形態 2 の多出力 DC-DC コンバータは、起動時や過負荷時のような場合における過電圧状態を確実に回避することができる。

【0064】

尚、出力電圧が上昇して制御不能となる原因には、例えば制御回路 90 における出力検出回路 81 での断線といったことがある。このため、図 4 に示したように、同じ出力電圧を検出する回路であっても、出力検出回路 81 と過電圧保護回路 91 はそれぞれ独自の検出ラインを設けるように構成している。さらに、上記のような制御回路 90 の異常による制御不能状態では、全出力が過電圧状態となるので、過電圧保護回路 91 の NOR ゲート 918 はハイレベルを出力する。これにより、シャットダウン回路 919 が動作して、コンバータの動作そのものを停止し、安全性が図られている。

【0065】

《実施の形態 3》

以下、本発明に係る実施の形態 3 の多出力 DC-DC コンバータについて図 6 及び図 7 を参照して説明する。

図 6 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータの構成を示す回路図である。前述の実施の形態 1 及び実施の形態 2 では 2 つの昇圧出力の場合について説明した。実施の形態 3 の多出力 DC-DC コンバータにおいては、2 つの昇圧出力と 1 つの反転出力の場合について説明する。

【0066】

図 6 に示すように、実施の形態 3 の多出力 DC-DC コンバータは、入力直流

電源 1 から入力直流電圧 E_i が入力されており、インダクタ 2、スイッチ回路 30A、ダイオード 41、ダイオード 42、ダイオード 43、第 1 の出力コンデンサ 51、第 2 の出力コンデンサ 52、第 3 の出力コンデンサ 53、及び制御回路 100 を具備している。スイッチ回路 30A は第 1 の主スイッチ 31 と補助スイッチ 32 と第 2 の主スイッチ 33 とにより構成されており、それぞれが例えば N チャンネル MOSFET からなる。制御回路 100 は第 1 の主スイッチ 31 と補助スイッチ 32 と第 2 の主スイッチ 33 とをそれぞれ所定のオン期間とオフ期間で駆動制御する。ダイオード 42 は補助スイッチ 32 と直列回路を形成している。

【0067】

実施の形態 3 の多出力 DC-DC コンバータにおいては、第 1 の出力電圧 V_{o1} を第 1 の出力コンデンサ 51 から第 1 の負荷 6 へ出力し、第 2 の出力電圧 V_{o2} を第 2 の出力コンデンサ 52 から第 2 の負荷 10 へ出力し、第 3 の出力電圧 V_{o3} を第 3 の出力コンデンサ 53 から第 3 の負荷 63 へ出力する。入出力条件は $V_{o1} > V_{o2} > E_i > 0 > V_{o3}$ である。

【0068】

スイッチ回路 30A のオン状態とは、第 1 の主スイッチ 31 と第 2 の主スイッチ 33 がともにオン状態で、インダクタ 2 に入力直流電圧 E_i が印加されている状態である。この時、補助スイッチ 32 のオンオフ状態は考慮しない。スイッチ回路 30A の第 1 のオフ状態とは、第 1 の主スイッチ 31 がオフ状態、第 2 の主スイッチ 33 がオン状態、そして補助スイッチ 32 がオフ状態である。第 2 の主スイッチ 33 がオン状態、及び補助スイッチ 32 がオフ状態の時、インダクタ 2 と第 1 の主スイッチ 31 とダイオード 41 とコンデンサ 51 が、昇圧コンバータを構成する。スイッチ回路 30A の第 2 のオフ状態とは、第 1 の主スイッチ 31 がオフ状態、第 2 の主スイッチ 33 がオン状態、そして補助スイッチ 32 がオン状態である。第 2 の主スイッチ 33 がオン状態、及び補助スイッチ 32 がオン状態の時、インダクタ 2 と第 1 の主スイッチ 31 とダイオード 42 とコンデンサ 52 が昇圧コンバータを構成する。スイッチ回路 30A の第 3 のオフ状態とは、第 1 の主スイッチ 31 がオン状態、そして第 2 の主スイッチ 33 がオフ状態である。この時、補助スイッチ 32 のオンオフ状態は考慮しない。第 1 の主スイッチ 3

1 がオン状態の時、第2の主スイッチ33とインダクタ2とダイオード43とコンデンサ53が反転コンバータを構成する。

【0069】

図6に示す制御回路100において、出力検出回路110は、第1の出力電圧 V_o1 と第2の出力電圧 V_o2 と第3の出力電圧 V_o3 を検出して、それぞれの出力電圧と所望値との誤差を求め、それぞれの誤差を増幅して誤差電圧 V_e1 、誤差電圧 V_e2 及び誤差電圧 V_e3 を出力する。実施の形態3の出力検出回路110は、前述の実施の形態1や実施の形態2の出力検出回路81に対して、反転出力が一つ増えているだけであり、基本的な動作は同様である。したがって、出力検出回路110の詳細な構成は省略する。

PWM回路130は、誤差電圧 V_e1 と鋸波電圧 V_t との比較結果である信号 V_1 と、誤差電圧 V_e2 と鋸波電圧 V_t との比較結果である信号 V_2 と、誤差電圧 V_e3 と鋸波電圧 V_t との比較結果である信号 V_3 を出力する。実施の形態3においては、前述の実施の形態1や実施の形態2のPWM回路83に対して、反転出力を制御するための回路が増えているだけであり、基本的な動作は同様であるため、PWM回路130の詳細な構成は省略する。

【0070】

制御回路100において、過電圧保護回路111は、第1の出力電圧 V_o1 と第2の出力電圧 V_o2 と第3の出力電圧 V_o3 を検出し、それぞれの絶対値と最大設定値との比較結果である信号 V_x1 、信号 V_x2 及び信号 V_x3 を出力する過電圧検出回路112を有する。第1の出力電圧 V_o1 が過電圧状態になると信号 V_x1 がローレベルとなり、第2の出力電圧 V_o2 が過電圧状態になると信号 V_x2 がローレベルとなり、第3の出力電圧 V_o3 が過電圧状態になると信号 V_x3 がローレベルとなる。また、過電圧保護回路111は、信号 V_x1 、信号 V_x2 及び信号 V_x3 が入力されるNORゲート118を有し、全出力が過電圧状態になった場合にハイレベルの信号を出力してシャットダウン回路119を動作させる。即ち、第1の出力電圧 V_o1 と第2の出力電圧 V_o2 と第3の出力電圧 V_o3 がともに過電圧状態になると、シャットダウン回路119が動作する。シャットダウン回路119が動作すると、制御回路100はその動作を停止し、入

力直流電圧 E_i が充分低下しなければ復帰しないよう構成されている。

【0071】

発振回路 92 は、前述の実施の形態 2 で示した図 4 の発振回路 92 と同じ構成であり、所定の周期 T を有する鋸波電圧 V_t と、クロック信号 V_{t1} を出力する。

実施の形態 3 においては、2つの分周回路 84 及び 140 が設けられている。分周回路 84 は、クロック信号 V_{t1} が入力され、分周信号 V_{t2} を出力する。分周回路 140 は、分周信号 V_{t2} が入力され、分周信号 V_{t3} を出力する。

駆動回路 150 は、分周信号 V_{t2} と分周信号 V_{t3} が入力される AND ゲート 151 と、この AND ゲート 151 の出力 V_{32} と信号 V_2 が入力される AND ゲート 152 と、分周信号 V_{t2} と分周信号 V_{t3} の反転信号が入力される AND ゲート 153 と、信号 V_1 と分周信号 V_{t2} の反転信号が入力される AND ゲート 154 と、AND ゲート 152 と AND ゲート 153 と AND ゲート 154 の各出力の論理和である信号 V_{31} を出力する OR ゲート 155 と、信号 V_3 と分周信号 V_{t2} の反転信号と分周信号 V_{t3} との論理和である信号 V_{33} を出力する OR ゲート 156 とを有する。また、駆動回路 150 は、信号 V_{x1} と信号 V_{x2} とが入力される NOR ゲート 161 と、この NOR ゲート 161 の出力と信号 V_{31} が入力される OR ゲート 162 と、この OR ゲート 162 の出力と信号 V_{x3} が入力される AND ゲート 163 と、信号 V_{x1} の反転信号と信号 V_{32} が入力される OR ゲート 164 と、OR ゲート 164 の出力と信号 V_{x3} が入力される AND ゲート 165 と、信号 V_{x1} と信号 V_{x2} が入力される OR ゲート 166 と、OR ゲート 166 の出力と信号 V_{33} が入力される AND ゲート 167 と、AND ゲート 167 の出力と信号 V_{x3} の反転信号が入力される OR ゲート 168 とを有する。AND ゲート 163 は第 1 の主スイッチ 31 の駆動信号 V_{g31} を出力し、AND ゲート 165 が補助スイッチ 32 の駆動信号 V_{g32} を出力し、OR ゲート 168 が第 2 の主スイッチ 33 の駆動信号 V_{g33} を出力する。

【0072】

通常の動作時において、過電圧保護回路 111 からの信号 V_{x1} 、 V_{x2} 、及

び V_{x3} が全てハイレベルであるので、NORゲート161はローレベルの信号を出力し、ORゲート162は信号 V_{31} を出力し、ANDゲート163は信号 V_{31} を駆動信号 V_{g31} として出力する。また、ORゲート164は信号 V_{32} を出力し、ANDゲート165は信号 V_{32} を駆動信号 V_{g32} として出力する。また、ORゲート166はハイレベルの信号を出力し、ANDゲート167は信号 V_{33} を出力し、ORゲート168は信号 V_{33} を駆動信号 V_{g33} として出力する。

【0073】

図7の(a)は、実施の形態3の多出力DC-DCコンバータにおける通常動作時の各信号及びインダクタ2を流れる電流 I_L を示す波形図である。以下に、図6と図7を用いて、本発明に係る実施の形態3の多出力DC-DCコンバータの通常時の動作について説明する。

まず、図7の(a)の時刻 t_0 において、クロック信号 V_{t1} によって分周信号 V_{t2} はローレベルになるが、分周信号 V_{t3} はローレベルのままであったとする。このとき、ANDゲート151の出力、即ち信号 V_{32} はローレベルであるので、駆動信号 V_{g32} もローレベルとなり、補助スイッチ32はオフ状態となる。ANDゲート152及び153はいずれもローレベルの信号を出力し、ANDゲート154の出力する信号 V_1 がORゲート155を介して、信号 V_{31} として出力される。即ち、駆動信号 V_{g31} には、発振電圧 V_t と誤差電圧 V_{e1} との比較結果である信号 V_1 が選択される。信号 V_1 、即ち駆動信号 V_{g31} のハイレベルにより、第1の主スイッチ31はオン状態となる。また、ORゲート156の出力、即ち信号 V_{33} はハイレベルであるので、駆動信号 V_{g33} もハイレベルとなり、第2の主スイッチ33はオン状態となる。第1の主スイッチ31と第2の主スイッチ33はともにオン状態（スイッチ回路30Aはオン状態）なので、インダクタ2には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0074】

時刻 t_1 において、上昇してきた発振電圧 V_t と誤差信号 V_{e1} が交差すると、信号 V_1 と駆動信号 V_{g31} はローレベルとなり、主スイッチ31はオフ状態

となる。この時、インダクタ 2 に蓄えられた磁気エネルギーは、補助スイッチ 32 がオフ状態（スイッチ回路 30 A は第 1 のオフ状態）であるので、ダイオード 41 を介してコンデンサ 51 を充電する電流として放出される。これにより、インダクタ 2 の電流は減少していき、やがてゼロとなる。

【0075】

時刻 t_2 において、クロック信号 V_{t1} によって分周信号 V_{t2} 及び分周信号 V_{t3} ともにハイレベルになり、発振電圧 V_t は急減後上昇を開始する。AND ゲート 151 の出力、即ち信号 V_{32} はハイレベルとなり、駆動信号 V_{g32} もハイレベルとなって補助スイッチ 32 はオン状態となる。AND ゲート 152 は信号 V_2 を出力し、AND ゲート 153 及び 154 はいずれもローレベルを出力するので、信号 V_2 が OR ゲート 155 を介して信号 V_{31} として出力される。即ち、駆動信号 V_{g31} には、発振電圧 V_t と誤差電圧 V_{e2} との比較結果である信号 V_2 が選択される。信号 V_2 、即ち駆動信号 V_{g31} のハイレベルにより、第 1 の主スイッチ 31 はオン状態となる。また、OR ゲート 156 の出力、即ち信号 V_{33} はハイレベルであるので、駆動信号 V_{g33} もハイレベルとなり、第 2 の主スイッチ 33 はオン状態となる。このとき、スイッチ回路 30 A はオン状態となり、インダクタ 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0076】

時刻 t_3 において、上昇してきた発振電圧 V_t が誤差信号 V_{e2} と交差すると、信号 V_2 と駆動信号 V_{g31} はローレベルとなり、第 1 の主スイッチ 31 はオフ状態となる。この時、インダクタ 2 に蓄えられた磁気エネルギーは、補助スイッチ 32 がオン状態（スイッチ回路 30 A は第 2 のオフ状態）であるので、ダイオード 42 を介してコンデンサ 52 を充電する電流として放出される。これにより、インダクタ 2 の電流は減少していき、やがてゼロとなる。

【0077】

時刻 t_4 において、クロック信号 V_{t1} によって分周信号 V_{t2} はローレベルになるが、分周信号 V_{t3} はハイレベルのままであり、発振電圧 V_t は急減後再び上昇を開始する。AND ゲート 151 の出力はローレベルであるので、駆動信

号 V_{g32} もローレベルとなって補助スイッチ 32 はオフ状態となる。AND ゲート 152 及び 153 はいずれもローレベルを出力し、AND ゲート 154 の出力する信号 V_1 が V_{31} として出力される。即ち、駆動信号 V_{g31} には信号 V_1 が選択され、信号 V_1 、即ち駆動信号 V_{g31} のハイレベルにより、第 1 の主スイッチ 31 はオン状態となる。また、OR ゲート 156 の出力、即ち信号 V_{33} はハイレベルであるので、駆動信号 V_{g33} もハイレベルとなり、第 2 の主スイッチ 33 はオン状態となる。第 1 の主スイッチ 31 と第 2 の主スイッチ 33 はともにオン状態（スイッチ回路 30A はオン状態）となるので、インダクタ 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0078】

時刻 t_5 において、信号 V_1 と駆動信号 V_{g31} はローレベルとなり、主スイッチ 31 はオフ状態となる。このとき、補助スイッチ 32 がオフ状態（スイッチ回路 30A は第 1 のオフ状態）であるので、インダクタ 2 の電流はダイオード 41 を介してコンデンサ 51 を充電する。そして、インダクタ 2 の電流は減少していき、やがてゼロとなる。時刻 t_4 と時刻 t_5 における動作は時刻 t_0 と時刻 t_1 における動作と同様である。

【0079】

時刻 t_6 において、クロック信号 V_{t1} によって分周信号 V_{t2} がハイレベルになり、分周信号 V_{t3} がローレベルになり、発振電圧 V_t は急減後上昇を開始する。AND ゲート 151 の出力、即ち信号 V_{32} はローレベルとなり、駆動信号 V_{g32} もローレベルとなって補助スイッチ 32 はオフ状態となる。AND ゲート 152 及び 154 はいずれもローレベルの信号を出力するが、AND ゲート 153 はハイレベルの信号を出力する。これにより、OR ゲート 155 を介して出力される信号 V_{31} 、即ち駆動信号 V_{g31} はハイレベルになり、第 1 の主スイッチ 31 はオン状態となる。また、OR ゲート 156 の出力、即ち信号 V_{33} は信号 V_3 が選択される。信号 V_3 、即ち駆動信号 V_{g33} もハイレベルとなり、第 2 の主スイッチ 33 はオン状態となる。スイッチ回路 30A はオン状態となり、インダクタ 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

【0080】

時刻 t_7 において、上昇してきた発振電圧 V_t が誤差信号 V_{e3} と交差すると、信号 V_3 と駆動信号 V_{g33} はローレベルとなり、第2の主スイッチ33はオフ状態となる。このとき、インダクタ2に蓄えられた磁気エネルギーは、第1の主スイッチ31がオン状態（スイッチ回路30Aは第3のオフ状態）であるので、ダイオード43を介してコンデンサ53を充電する電流として放出される。これにより、インダクタ2の電流は減少していき、やがてゼロとなる。

【0081】

時刻 t_8 において、クロック信号 V_{t1} によって分周信号 V_{t2} はローレベルになるが、分周信号 V_{t3} はローレベルのままである。スイッチ回路30Aは再びオン状態となり、時刻 t_8 以降の動作は時刻 t_0 以降の動作を繰り返す。

【0082】

インダクタ2のインダクタンスを L 、スイッチング周期を T 、スイッチ回路30Aが第1のオフ状態になる前のオン状態の期間を T_{on1} 、スイッチ回路30Aが第2のオフ状態になる前のオン状態の期間を T_{on2} 、スイッチ回路30Aが第3のオフ状態になる前のオン状態の期間を T_{on3} とする。また、第1の負荷6への出力電流を I_{o1} 、第2の負荷10への出力電流を I_{o2} 、第3の負荷63への出力電流を I_{o3} とする。ダイオード41、ダイオード42及びダイオード43の順方向電圧降下を無視すると、第1の出力電圧 V_{o1} 、第2の出力電圧 V_{o2} 、及び第3の出力電圧 V_{o3} のそれぞれは、下記の式(7)、式(8)及び式(9)に示す関係が成り立つ。

【0083】

【数7】

$$V_{o1} = E_i + \frac{(E_i \cdot T_{on1})^2}{4L \cdot T \cdot I_{o1}} \quad \text{--- (7)}$$

【0084】

【数 8】

$$V_{o2} = E_i + \frac{(E_i \cdot T_{on2})^2}{8L \cdot T \cdot I_{o2}} \quad \text{--- (8)}$$

【0085】

【数 9】

$$V_{o3} = - \frac{(E_i \cdot T_{on3})^2}{8L \cdot T \cdot I_{o3}} \quad \text{--- (9)}$$

【0086】

実施の形態 3 の多出力 DC-DC コンバータにおいて、誤差電圧 V_{e1} 、 V_{e2} 及び V_{e3} のそれぞれは、第 1、第 2 及び第 3 の出力電圧 V_{o1} 、 V_{o2} 及び V_{o3} が所望の電圧に安定化するように増減し、スイッチ回路 30A の各オン状態の期間が調整される。即ち、実施の形態 3 の多出力 DC-DC コンバータにおいては、インダクタ 2 を共有する 2 つの昇圧コンバータと 1 つの反転コンバータが、時分割制御されることによって、第 1、第 2 及び第 3 の出力電圧 V_{o1} 、 V_{o2} 及び V_{o3} のそれぞれを所望の電圧に安定化させている。なお、上記の実施の形態 3 において、第 1 の出力電圧 V_{o1} の制御にはスイッチング周波数の 2 分の 1 が割当てられ、第 2 の出力電圧 V_{o2} の制御にはスイッチング周波数の 4 分の 1 が割当てられ、第 3 の出力電圧 V_{o3} の制御にはスイッチング周波数の 4 分の 1 が割当てられた例を示した。本発明の多出力 DC-DC コンバータにおいては、それぞれの出力電力の制御にスイッチング周波数の割当は適宜好ましい割合に決められる。

【0087】

図 7 の (b) は、信号 V_{x1} 、 V_{x2} 及び V_{x3} のハイ・ロー状態のそれぞれの状態に対する、OR ゲート 161、162 と AND ゲート 163 による駆動信号 V_{g31} の状態、OR ゲート 164 と AND ゲート 165 による駆動信号 V_{g32} の状態、OR ゲート 166、168 と AND ゲート 167 による駆動信号 V_{g33} の状態を示したものである。

図7の(b)において、状態①は信号 V_{x1} 、 V_{x2} 及び V_{x3} が全てハイレベルである通常動作状態である。また、状態⑧は信号 V_{x1} 、 V_{x2} 及び V_{x3} が全てローレベルである異常状態であり、この場合にはNORゲート118がハイレベルを出力してシャットダウン回路119が動作する。

【0088】

以下、起動時や過負荷時のような状況において、いずれかの出力電圧が過電圧状態となった状態②～⑦における動作について説明する。

図7の(b)において、状態②～④は、例えば第1の負荷6が重くなって第1の出力電流 I_{o1} が過電流状態の場合である。この場合には、第1の出力電圧 V_{o1} の制御に割当てられたスイッチング周期内において、インダクタ2を流れる電流がゼロにならなくなるという現象が発生する。

【0089】

放出されずに残ったインダクタ2の磁気エネルギーが、次のスイッチング周期の第3のオフ状態（第1の主スイッチ31がオン状態、補助スイッチ32がオフ状態、第2の主スイッチ33がオフ状態）において、コンデンサ53を充電する電流として放出される。この放出電流の平均値が第3の負荷63での消費電流より大きいと、第3の出力電圧 V_{o3} は過電圧状態となり、信号 V_{x3} がローレベルとなる。状態②は、以上のような状態であり、信号 V_{x1} 及び信号 V_{x2} がハイレベル、信号 V_{x3} がローレベルである。この時、駆動信号 V_{g31} がローレベルとなり、駆動信号 V_{g32} が信号 V_{32} となるが、第3のオフ状態の継続であり、実施の形態3の回路構成では駆動信号 V_{g32} がローレベルとなる。そして駆動信号 V_{g33} がハイレベルとなり、スイッチ回路30Aは第1のオフ状態（第1の主スイッチ31がオフ状態、補助スイッチ32がオフ状態、第2の主スイッチ33がオン状態）となる。これにより、インダクタ2の磁気エネルギーの放出は第3の出力から第1の出力に移行し、第3の出力電圧 V_{o3} の過電圧状態は回避される。

【0090】

状態③の場合、放出されずに残ったインダクタ2の磁気エネルギーは、次のスイッチング周期の第2のオフ状態（第1の主スイッチ31がオフ状態、第2の主

スイッチ 33 がオン状態、そして補助スイッチ 32 がオン状態) において、コンデンサ 52 を充電する電流として放出される。この放出電流の平均値が第 2 の負荷 10 での消費電流より大きいと、第 2 の出力電圧 V_{o2} は過電圧状態になり、信号 V_{x2} がローレベルとなる。この時、駆動信号 V_{g31} は信号 V_{31} であるが、第 2 のオフ状態からの継続でローレベルとなる。駆動信号 V_{g32} はローレベル、駆動信号 V_{g33} は V_{33} となるが、第 2 のオフ状態からの継続でハイレベルとなる。即ち、スイッチ回路 30A は第 1 のオフ状態となる。これにより、インダクタ 2 の磁気エネルギーの放出は第 2 の出力から第 1 の出力に移行し、第 2 の出力電圧 V_{o2} の過電圧状態は回避される。

【0091】

状態④の場合、第 2 の出力電圧 V_{o2} と第 3 の出力電圧 V_{o3} がともに過電圧状態になり、信号 V_{x2} 及び信号 V_{x3} がローレベルとなる。この時、駆動信号 V_{g31} はローレベル、駆動信号 V_{g32} はローレベル、駆動信号 V_{g33} はハイレベルとなる。即ち、スイッチ回路 30A は第 1 のオフ状態となる。インダクタ 2 の磁気エネルギーの放出は第 1 の出力に移行し、第 2 の出力電圧 V_{o2} 及び第 3 の出力電圧 V_{o3} の過電圧状態は回避される。

【0092】

次に状態⑤の場合、例えば第 2 の出力電流 I_{o2} 又は第 3 の出力電流 I_{o3} が過電流状態の場合である。第 2 の出力電圧 V_{o2} 又は第 3 の出力電圧 V_{o3} の制御に割当てられたスイッチング周期内において、インダクタ 2 を流れる電流がゼロにならなくなるといった現象が発生する。放出されずに残ったインダクタ 2 の磁気エネルギーは、次のスイッチング周期の第 1 のオフ状態において、コンデンサ 51 を充電する電流として放出される。この放出電流の平均値が第 1 の負荷 6 での消費電流より大きいと、第 1 の出力電圧 V_{o1} は過電圧状態となり、信号 V_{x1} がローレベルとなる。この時、駆動信号 V_{g31} は信号 V_{31} であるが、第 1 のオフ状態からの継続でローレベルとなる。駆動信号 V_{g33} は信号 V_{33} となるが、第 1 のオフ状態からの継続でハイレベルとなる。そして駆動信号 V_{g32} がハイレベルとなり、スイッチ回路 30A は第 2 のオフ状態となる。インダクタ 2 の磁気エネルギーの放出は第 1 の出力から第 2 の出力に移行し、第 1 の出力

電圧 V_o1 の過電圧状態は回避される。

【0093】

状態⑥の場合、例えば第2の出力電流 I_o2 が過電流状態で、他の出力電流が非常に少ない場合である。第2の出力電圧 V_o2 の制御に割当てられたスイッチング周期内において、放出されずに残ったインダクタ2の磁気エネルギーは、次のスイッチング周期の第1のオフ状態において、第1の出力電圧 V_o1 を過電圧状態にするとともに、さらに次のスイッチング周期の第3のオフ状態において、第3の出力電圧 V_o3 を過電圧状態にする。そして信号 V_{x1} と信号 V_{x3} がローレベルとなる。この時、駆動信号 V_{g31} はローレベル、駆動信号 V_{g32} はハイレベル、駆動信号 V_{g33} はハイレベルとなる。即ち、スイッチ回路30Aは第2のオフ状態となる。インダクタ2の磁気エネルギーの放出は第2の出力に移行し、第1の出力電圧 V_o1 の過電圧状態及び第3の出力電圧 V_o3 の過電圧状態は回避される。

【0094】

状態⑦の場合、例えば第3の出力電流 I_o3 が過電流状態で、他の出力電流が非常に少ない場合である。第3の出力電圧 V_o3 の制御に割当てられたスイッチング周期内において、放出されずに残ったインダクタ2の磁気エネルギーは、次のスイッチング周期の第1のオフ状態において、第1の出力電圧 V_o1 を過電圧状態にするとともに、さらに次のスイッチング周期の第2のオフ状態において、第2の出力電圧 V_o2 を過電圧状態にする。そして信号 V_{x1} と信号 V_{x2} がローレベルとなる。この時、駆動信号 V_{g31} はハイレベル、駆動信号 V_{g32} はローレベル、駆動信号 V_{g33} はローレベルとなる。即ち、スイッチ回路30Aは第3のオフ状態となる。インダクタ2の磁気エネルギーの放出は第3の出力に移行し、第1の出力電圧 V_o1 の過電圧状態及び第2の出力電圧 V_o2 の過電圧状態は回避される。

【0095】

以上のように、本発明に係る上記の実施の形態3によれば、起動時や過負荷時のような場合に、1スイッチング周期内でインダクタ2に流れる電流がゼロにならず、出力電圧が上昇して制御不能となっても、その過電圧状態を検出して別の

出力へインダクタ 2 に残った磁気エネルギーを放出させることにより、過電圧状態を回避することが可能となる。

【0096】

【発明の効果】

以上、実施の形態について詳細に説明したところから明らかなように、本発明は次の効果を有する。

本発明の多出力 DC-DC コンバータは、主スイッチとインダクタを共有することによる少ない部品点数で、複数且つ任意の出力を高効率に制御できるという優れた効果を有する。

また、起動時や過負荷等の通常状態ではない場合においても、本発明の多出力 DC-DC コンバータは、例えば実施の形態 1 に示したように、インダクタに流れる電流が 1 スイッチング周期内でゼロになった後、次の周期に移行するよう構成されているため、1 スイッチング周期内で電流がゼロに至らないことに起因する過電圧状態を回避することができる。

さらに、本発明の多出力 DC-DC コンバータにおいては、例えば実施の形態 2 及び実施の形態 3 に示したように、スイッチング周期を固定することにより、1 スイッチング周期内で電流がゼロに至らない場合が発生するが、過電圧状態を検出して他の出力へ電流を放出するよう構成することにより、過電圧状態を回避することができるという優れた効果を奏する。

【図面の簡単な説明】

【図 1】

本発明に係る実施の形態 1 の多出力 DC-DC コンバータの構成を示す回路図である。

【図 2】

本発明に係る実施の形態 1 の多出力 DC-DC コンバータの動作を示す波形図である。

【図 3】

本発明に係る実施の形態 1 の多出力 DC-DC コンバータの動作を示す波形図である。

【図 4】

本発明に係る実施の形態 2 の多出力 DC-DC コンバータの構成を示す回路図である。

【図 5】

本発明に係る実施の形態 2 の多出力 DC-DC コンバータの動作を示す波形図である。

【図 6】

本発明に係る実施の形態 3 の多出力 DC-DC コンバータの構成を示す回路図である。

【図 7】

(a) は本発明に係る実施の形態 3 の多出力 DC-DC コンバータの通常時の動作を示す波形図であり、(b) は本発明に係る実施の形態 3 の多出力 DC-DC コンバータの過電圧状態における各信号の状態図である。

【図 8】

従来の多出力 DC-DC コンバータの構成を示す回路図である。

【図 9】

従来の多出力 DC-DC コンバータの構成を示す回路図である。

【図 10】

従来の多出力 DC-DC コンバータの構成を示す回路図である。

【図 11】

従来の多出力 DC-DC コンバータの動作を示す波形図である。

【図 12】

従来の多出力 DC-DC コンバータにおける出力電流を示す波形図である。

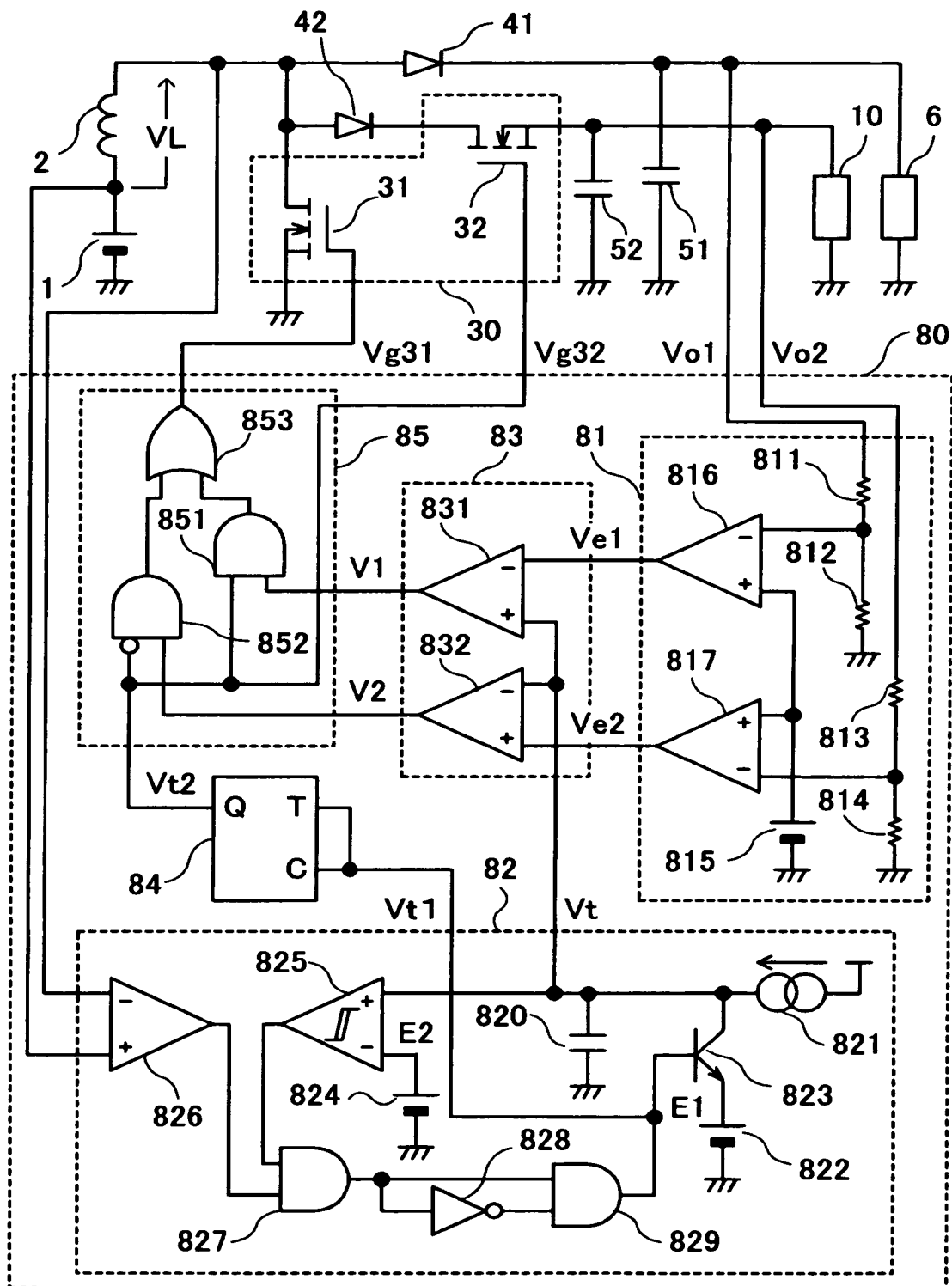
【符号の説明】

- 1 入力直流電源
- 2 インダクタ
- 6 第 1 の負荷
- 10 第 2 の負荷
- 30 スイッチ回路

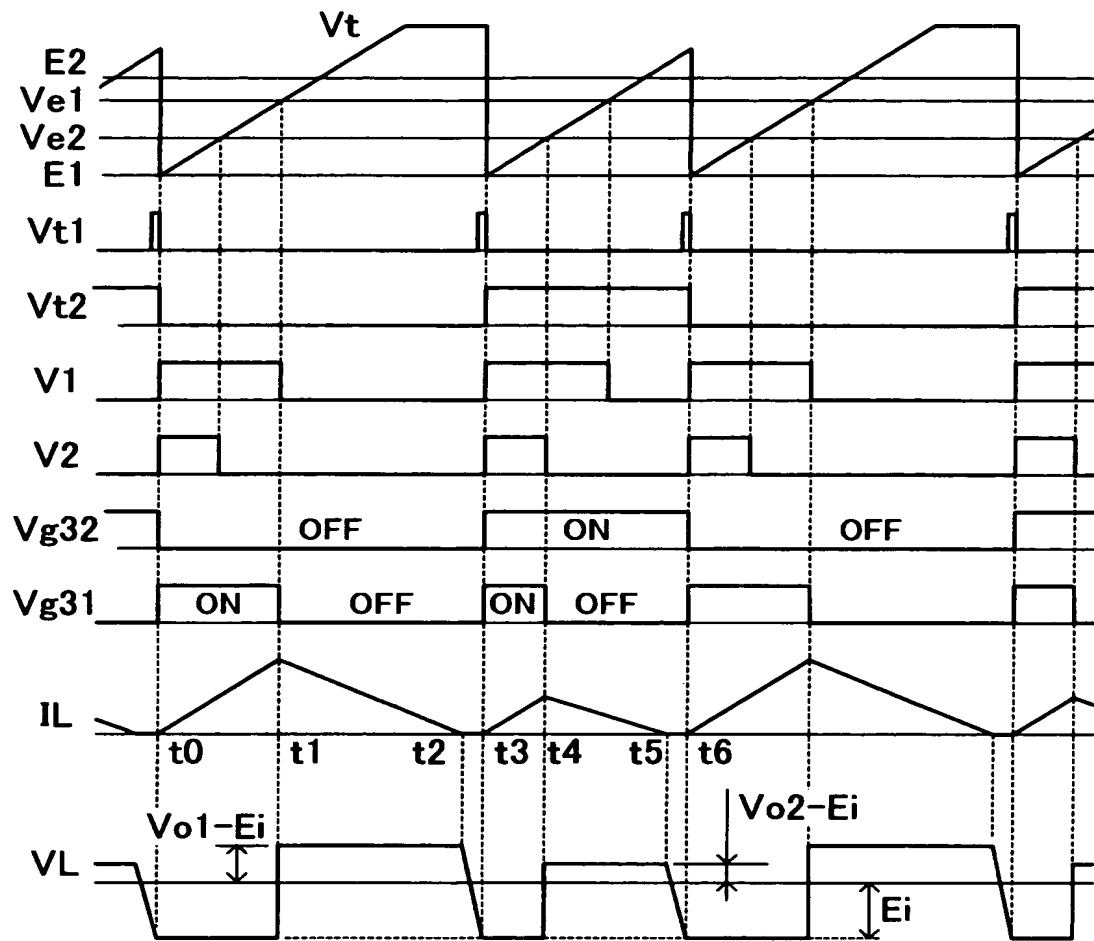
- 3 1 主スイッチ
- 3 2 補助スイッチ
- 4 1 ダイオード
- 4 2 ダイオード
- 5 1 第 1 の出力コンデンサ
- 5 2 第 2 の出力コンデンサ
- 8 0 制御回路
- 8 1 出力検出回路
- 8 2 発振回路
- 8 3 パルス幅変調回路
- 8 4 分周回路
- 8 5 駆動回路

【書類名】 図面

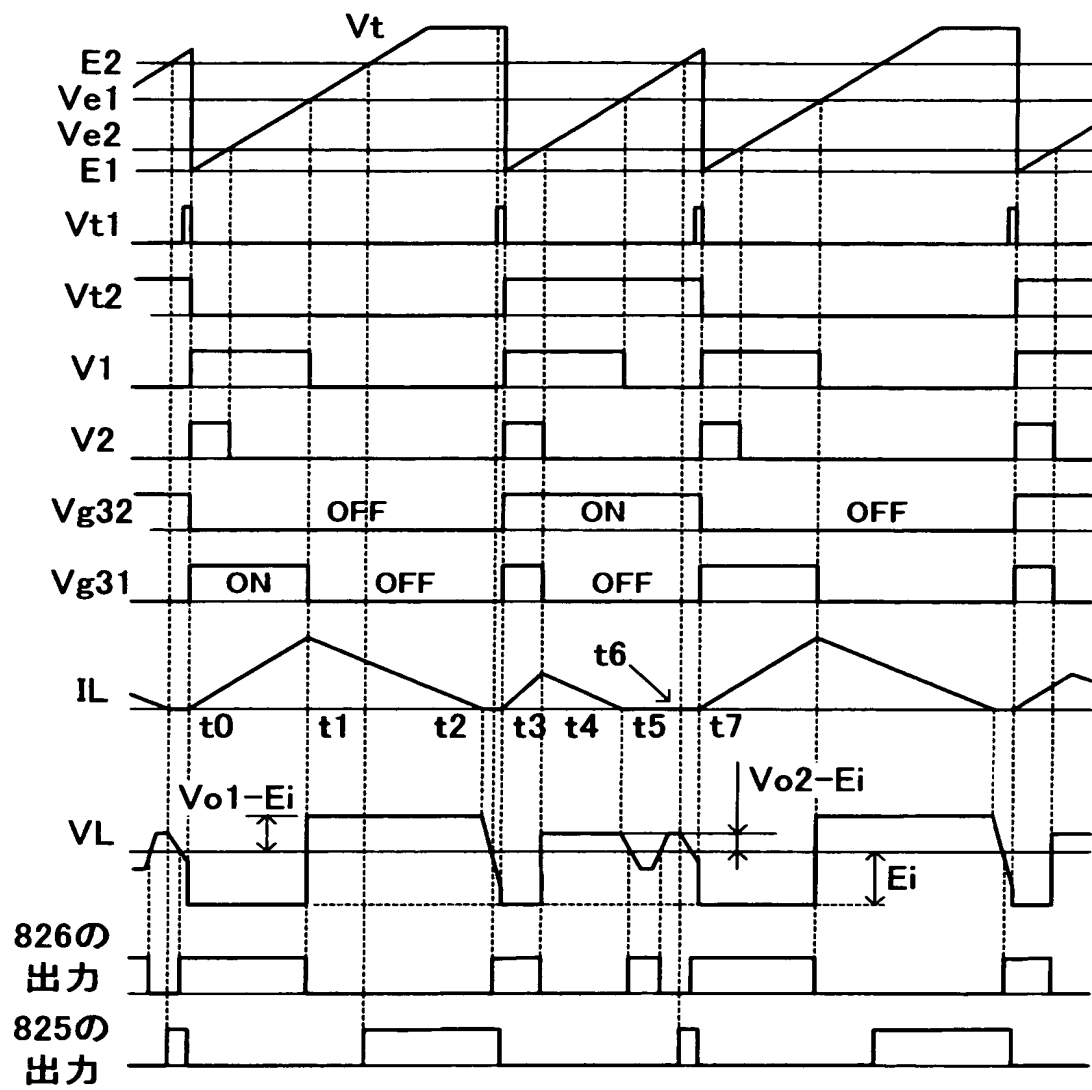
【図1】



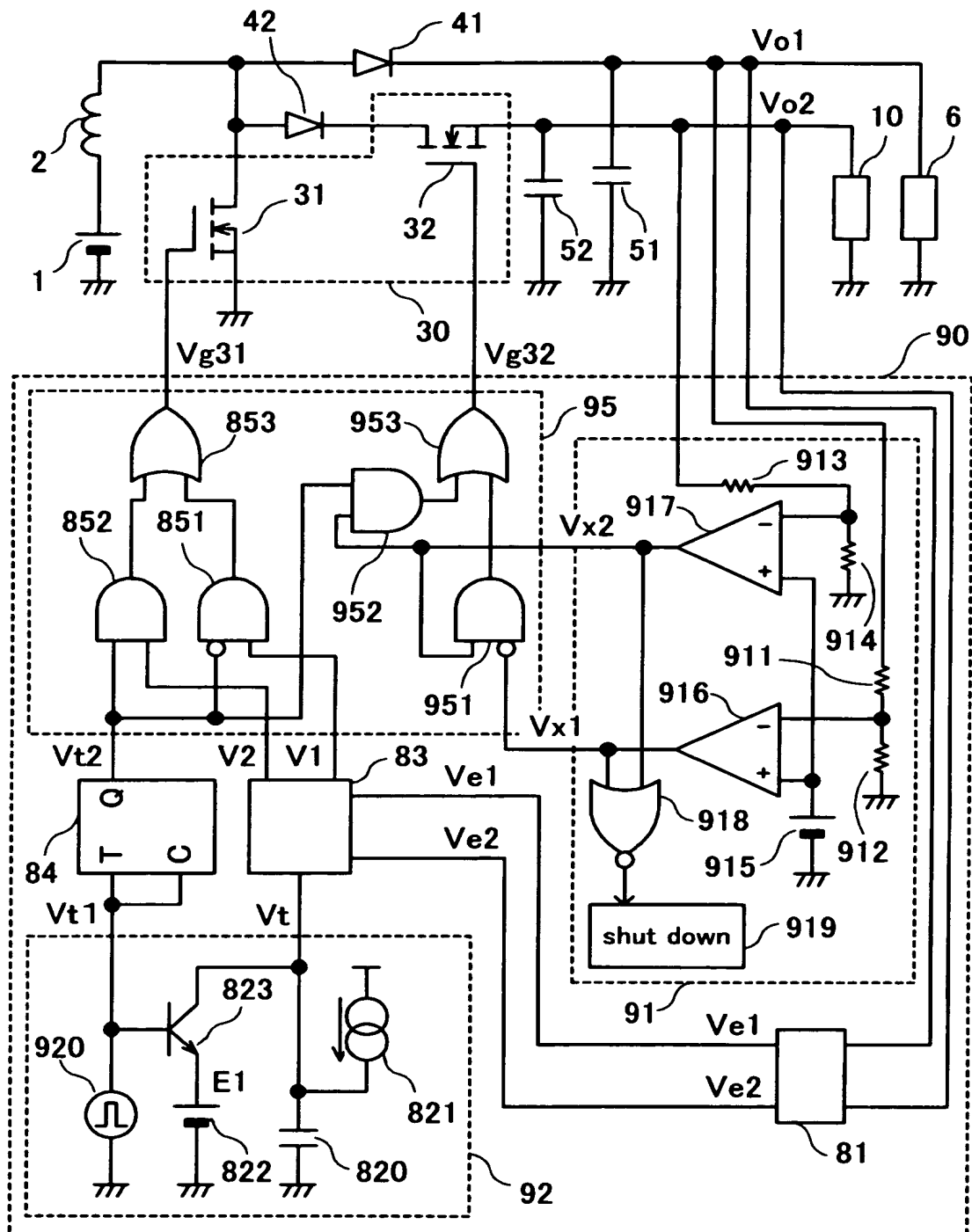
【図2】



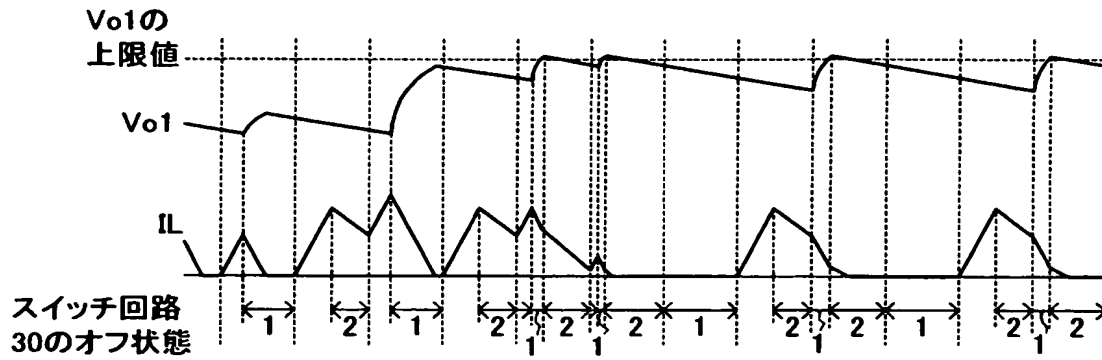
【図3】



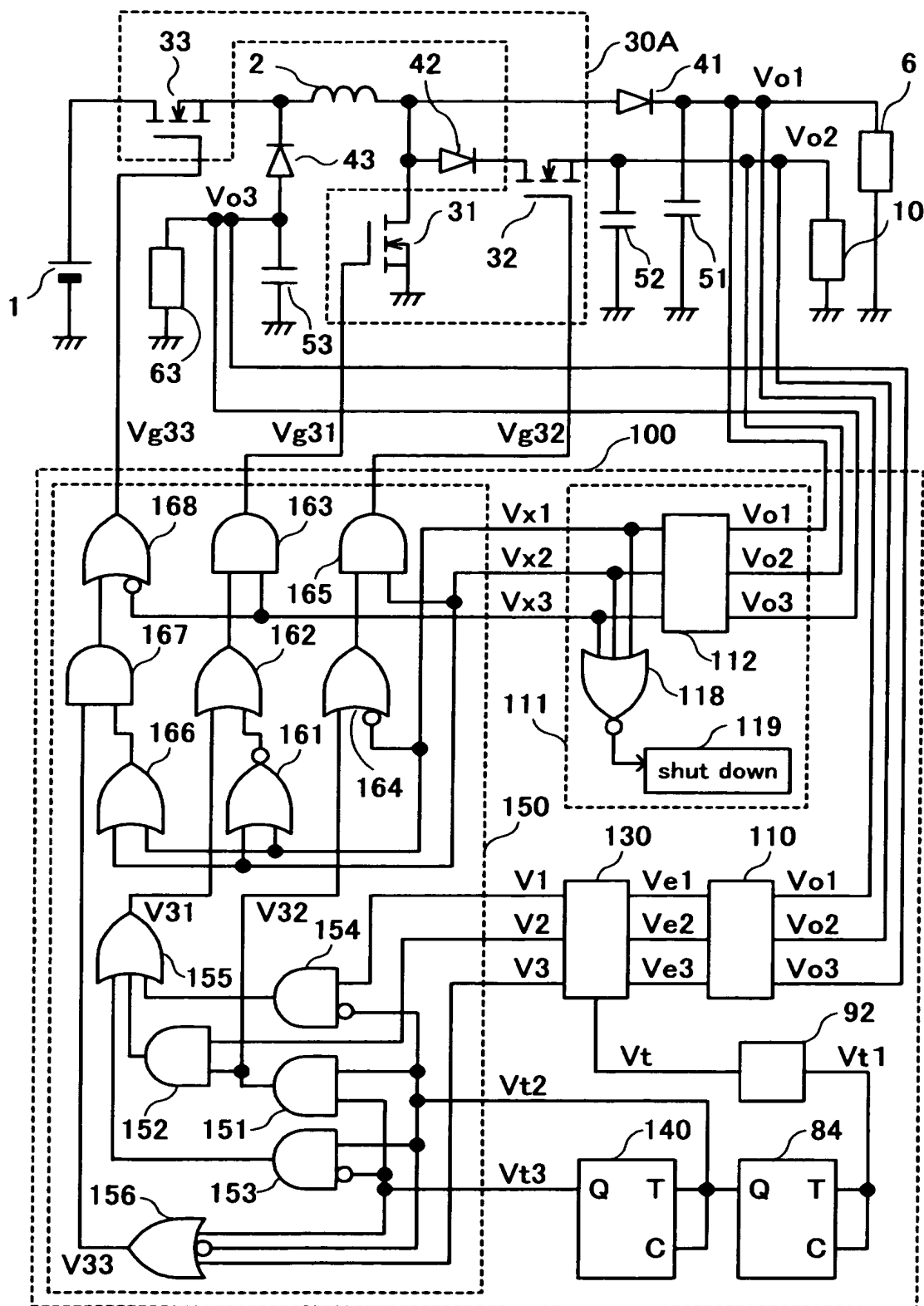
【図4】



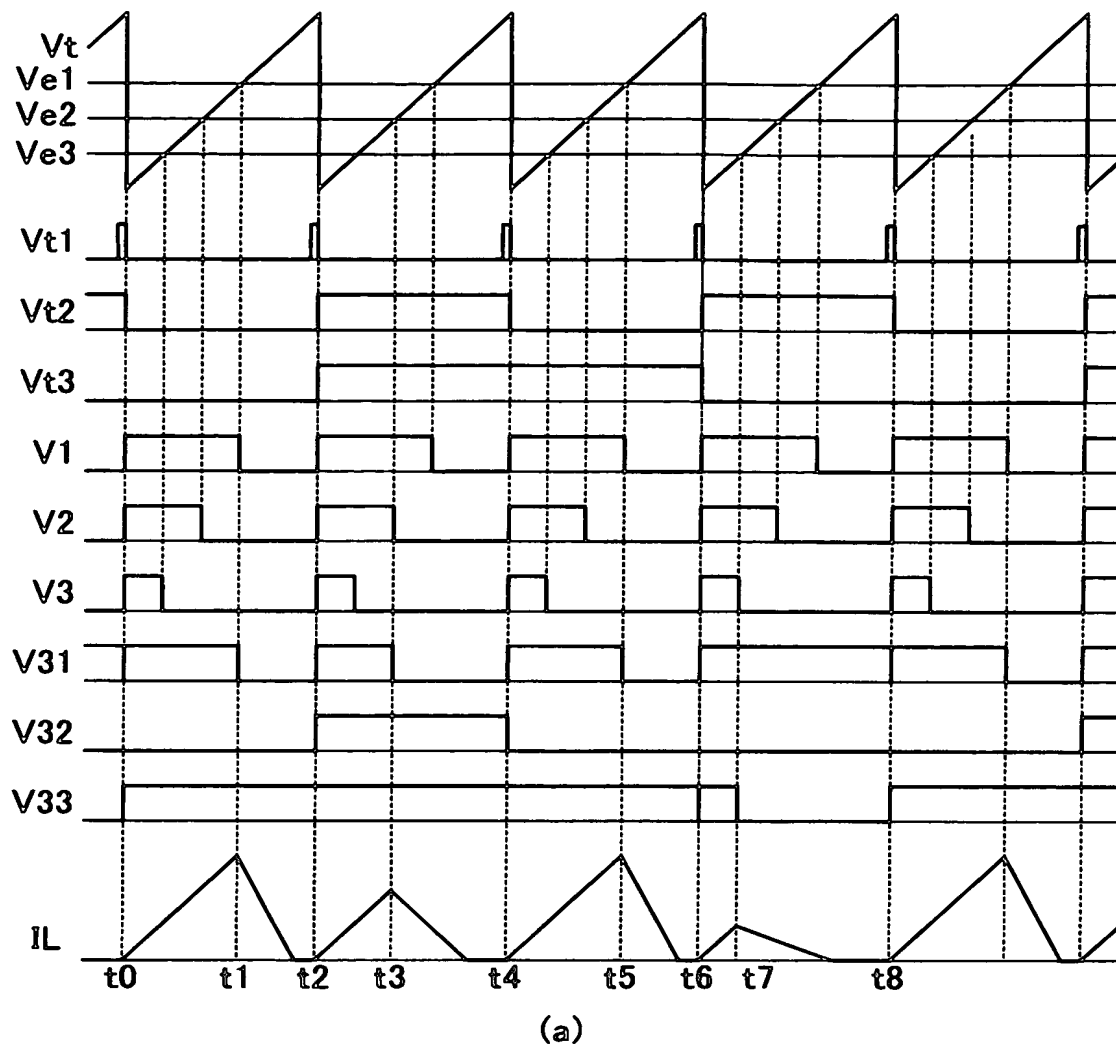
【図5】



【図6】



【図7】

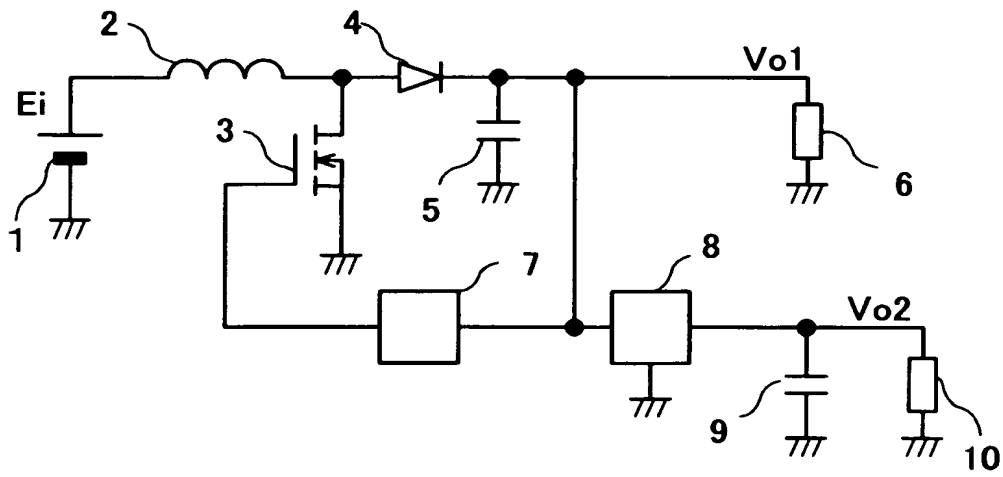


	①	②	③	④	⑤	⑥	⑦	⑧
Vx1	H	H	H	H	L	L	L	L
Vx2	H	H	L	L	H	H	L	L
Vx3	H	L	H	L	H	L	H	L
Vg31	V31	L	V31	L	V31	L	H	L
Vg32	V32	V32	L	L	H	H	L	L
Vg33	V33	H	V33	H	V33	H	L	H

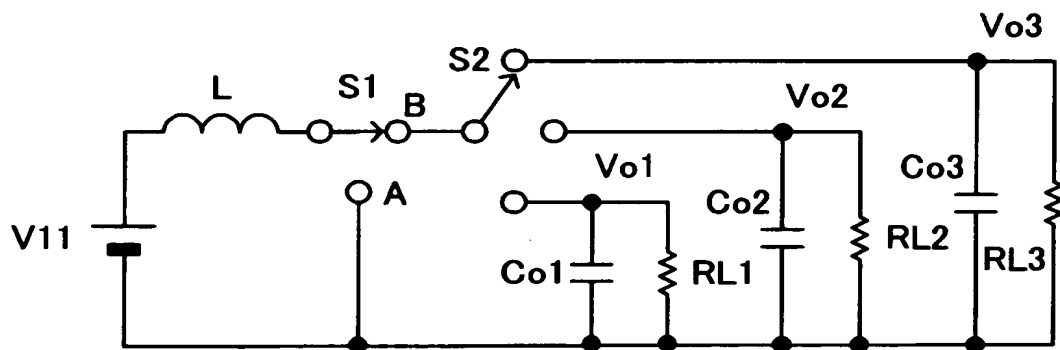
①: 通常動作状態、 ⑧: 異常状態(シャットダウン)

(b)

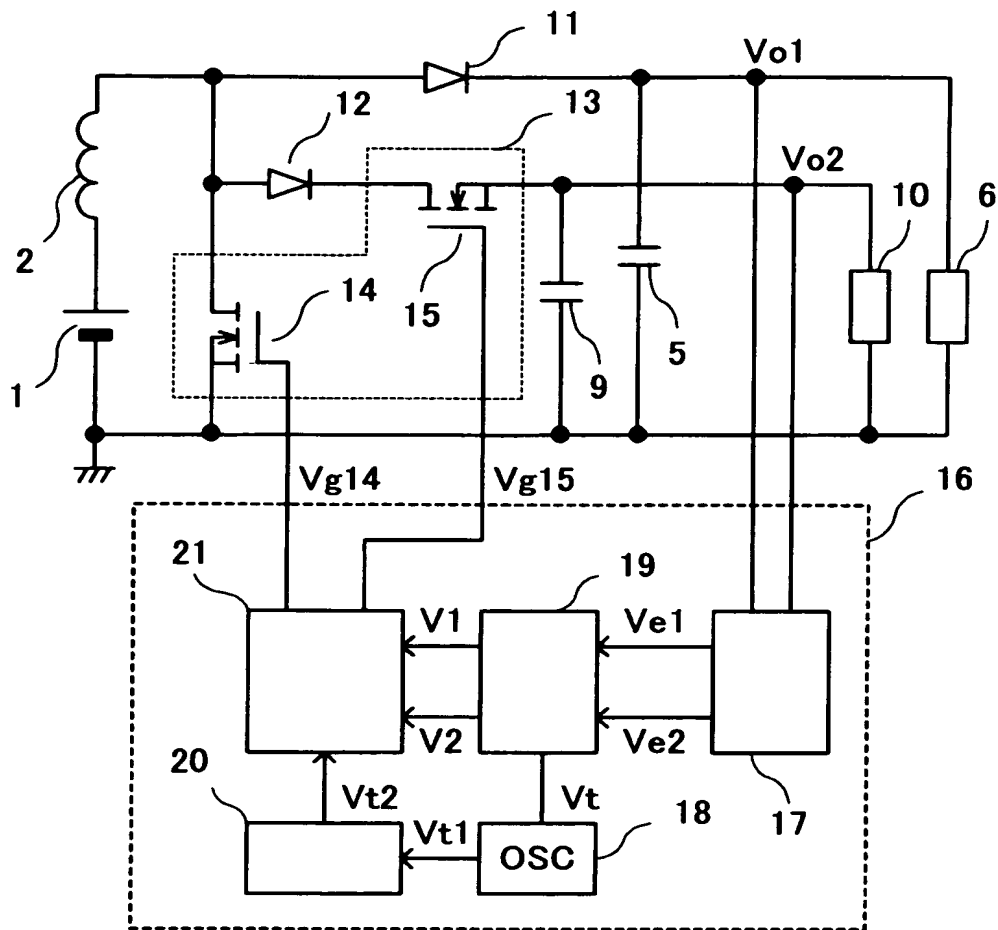
【図8】



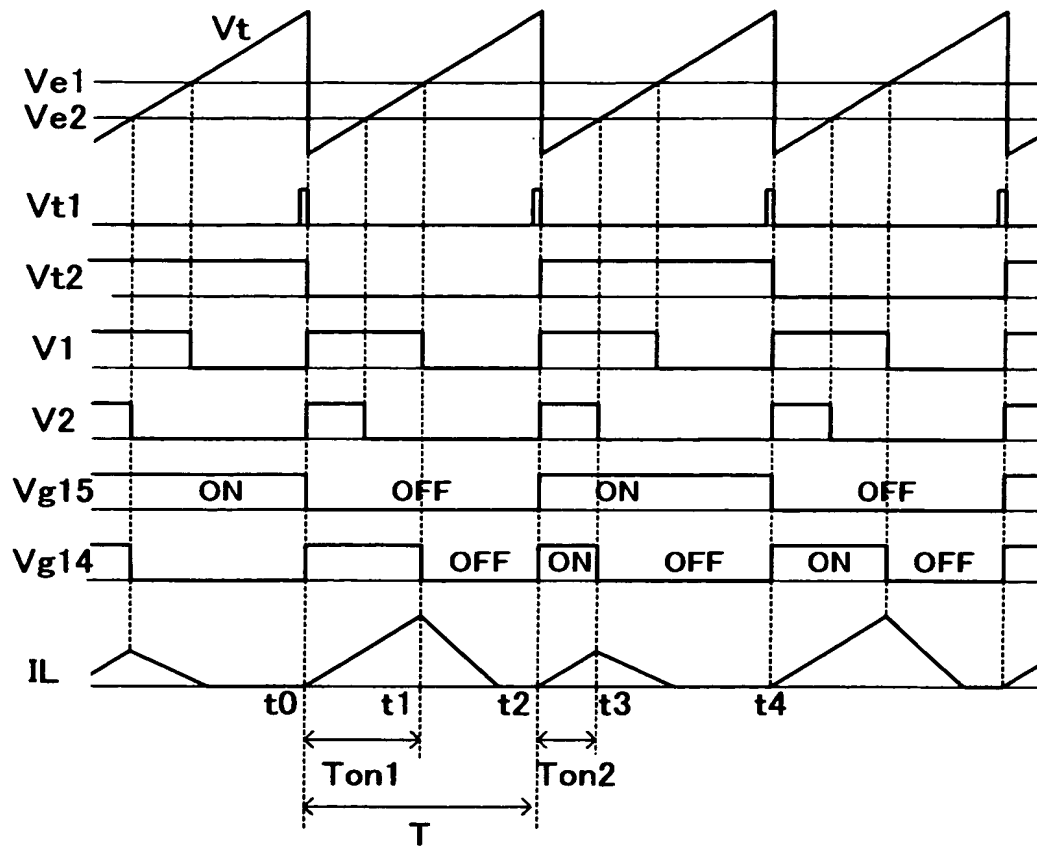
【図9】



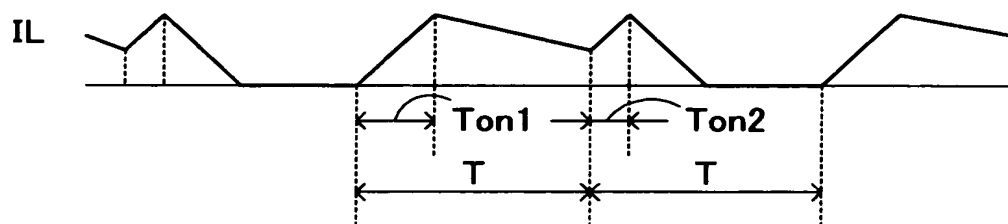
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 少ない部品点数で複数の出力を高効率に制御することができ、起動時や過負荷時の過電圧状態を回避し得る信頼性の高い多出力DC-DCコンバータの提供を目的とする。

【解決手段】 本発明の多出力DC-DCコンバータは、インダクタ2と主スイッチ31とを共有し、ダイオード41と第1の出力コンデンサ51から第1の出力電圧 V_o1 を出力し、補助スイッチ32とダイオード42と第2の出力コンデンサ52から第2の出力電圧 V_o2 を出力するよう構成されており、制御回路80が出力検出回路81と、発振回路82と、PWM回路83と、分周回路84と、駆動回路85とを有して複数の出力を高効率且つ高信頼に制御する。

【選択図】 図1

特願 2 0 0 3 - 0 9 8 1 4 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1 . 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社